

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-094058

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H01L 29/78
H01L 21/283
H01L 21/336
H01L 21/8238
H01L 27/08
H01L 27/092
H01L 29/786
H01L 29/872

(21)Application number : 2001-174567

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.06.2001

(72)Inventor : YAGISHITA JUNJI
MATSUO KOJI

(30)Priority

Priority number : 2000210473

Priority date : 11.07.2000

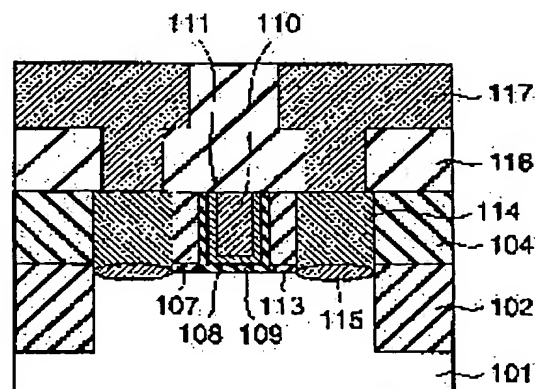
Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress a short channel effect of an FET for which a high dielectric film is used for a gate insulating film.

SOLUTION: An element separation insulating film 102 is formed around the element region of a semiconductor silicon substrate 101. On the silicon substrate 101, a sidewall insulating film 107 comprising a silicon nitride film is formed, so as to enclose a channel region. A Ta₂O₅ film 108 and a metal gate electrode 111 are provided inside a groove, where a sidewall comprises the sidewall insulating film 107. An inter-layer insulating film 104 is formed on the element isolation insulating film 102. A Schottky junction source/drain 115 comprising a silicide is formed on the silicon substrate 101 at the bottom of the groove, where the sidewall comprises the sidewall insulating film 107 and the inter-layer insulating film. A source/drain electrode 114 is formed on the Schottky junction source/drain 115.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-94058

(P2002-94058A)

(43)公開日 平成14年3月29日(2002.3.29)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マコ-ト*(参考) |
|--------------------------------------|-------|----------------|-------------------|
| H 0 1 L 29/78 | | H 0 1 L 21/283 | C 4 M 1 0 4 |
| 21/283 | | 27/08 | 3 3 1 E 5 F 0 4 8 |
| 21/336 | | 29/78 | 3 0 1 G 5 F 1 1 0 |
| 21/8238 | | | 3 0 1 P 5 F 1 4 0 |
| 27/08 | 3 3 1 | | 3 0 1 S |
| 審査請求 未請求 請求項の数11 O L (全 28 頁) 最終頁に続く | | | |

(21)出願番号 特願2001-174567(P2001-174567)

(22)出願日 平成13年6月8日(2001.6.8)

(31)優先権主張番号 特願2000-210473(P2000-210473)

(32)優先日 平成12年7月11日(2000.7.11)

(33)優先権主張国 日本(J P)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 八木下 淳史

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72)発明者 松尾 浩司

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

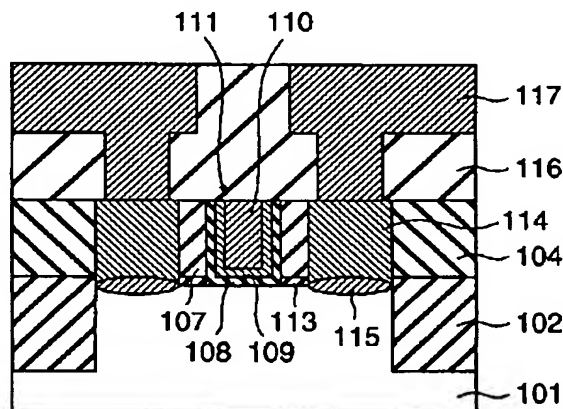
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】ゲート絶縁膜に高誘電体膜を用いたF E Tにおいて、短チャネル効果の抑制をする。

【解決手段】半導体シリコン基板101の素子領域の周囲に素子分離絶縁膜102が形成されている。シリコン基板101上に、チャネル領域の周囲を覆うようにシリコン窒化膜からなる側壁絶縁膜107が形成されている。側壁が側壁絶縁膜107からなる溝の内部に、Ta₂O₅膜108、メタルゲート電極111である。素子分離絶縁膜102上に層間絶縁膜104が形成されている。側壁が側壁絶縁膜107及び層間絶縁膜からなる溝の底部のシリコン基板101上にシリサイドからなるショットキー接合・ソース/ドレイン115が形成されている。ショットキー接合・ソース/ドレイン115上にソース/ドレイン電極114が形成されている。



【特許請求の範囲】

【請求項1】シリコン基板と、

このシリコン基板上に形成されたゲート絶縁膜と、
このゲート絶縁膜上に形成されたゲート電極と、
このゲート電極を挟むように前記シリコン基板に形成され、該基板との界面でショットキー接合するシリサイドからなるソース及びドレインとを具備し、
前記ゲート絶縁膜の材料は高誘電体膜であること、及び
前記ゲート電極の材料は金属であることの少なくとも一方の条件を満たすことを特徴とする半導体装置。

【請求項2】シリコン基板と、

このシリコン基板上に形成されたゲート絶縁膜と、
このゲート絶縁膜上に形成されたゲート電極と、
このゲート電極を挟むように前記シリコン基板から形成され、シリサイドからなるソース及びドレインとをそれぞれ具備したNMISFETとPMISFETとを具備する半導体装置であって、
前記ゲート絶縁膜の材料は高誘電体膜であること、及び
前記ゲート電極の材料は金属であることの少なくとも一方の条件を満たし、
且つ前記NMISFET及びPMISFETを構成するシリサイドの材料は、それぞれ異なること特徴とする半導体装置。

【請求項3】前記PMISFETのソース及びドレインを構成するシリサイドの材料は、該PMISFETのチャネルに対して仕事関数が大きく、
前記NMISFETのソース及びドレインを構成するシリサイドの材料は、該NMISFETのチャネルに対して仕事関数が小さいことを特徴する請求項2に記載の半導体装置。

【請求項4】前記シリコン基板が、SOI基板であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】前記ゲート電極下のチャネル領域と前記ソース及びドレインとの間の半導体基板に前記チャネル領域と反対導電型のエクステンション領域が形成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項6】前記エクステンション領域の不純物濃度が、0より大、且つ $3 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴とする請求項5に記載の半導体装置。

【請求項7】シリコン基板上に、層間絶縁膜を形成する工程と、
MISFETのソース及びドレインの形成予定領域間の前記層間絶縁膜を選択的に除去して、ゲート溝を形成する工程と、
前記ゲート溝の側壁に側壁絶縁膜を形成する工程と、
前記ゲート溝の底面に前記シリコン基板を露出させ、露出するシリコン基板の表面にゲート絶縁膜を形成する工程と、
前記溝内にゲート電極を埋め込み形成する工程と、

前記MISFETのソース及びドレインの形成予定領域の前記層間絶縁膜を選択的にエッチングして、底部に前記シリコン基板の表面が露出するソース／ドレイン溝を形成する工程と、

前記ソース／ドレイン溝内に金属膜を埋め込み形成し、ソース電極及びドレイン電極を形成する工程と、
前記シリコン基板と前記ソース電極及びドレイン電極とを反応させて、該基板とショットキー接合するシリサイド膜を形成して、ソース及びドレインを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】シリコン基板上に、層間絶縁膜を形成する工程と、

PMISFET及びNMISFETのソース及びドレインの形成予定領域間の前記層間絶縁膜を選択的に除去して、ゲート溝を形成する工程と、
前記ゲート溝の側壁に側壁絶縁膜を形成する工程と、
前記ゲート溝の底面に前記シリコン基板を露出させ、露出するシリコン基板の表面にゲート絶縁膜を形成する工程と、
前記ゲート溝内にゲート電極を埋め込み形成する工程と、

PMISFETのソース及びドレインの形成予定領域の前記層間絶縁膜を除去して、底部に前記シリコン基板の表面が露出するPMIS側ソース／ドレイン溝を形成する工程と、

前記PMIS側ソース／ドレイン溝内に、第1の金属膜を埋め込み形成し、PMISFETのソース電極及びドレイン電極を形成する工程と、
前記シリコン基板と前記PMISFETのソース電極及びドレイン電極とを反応させて、該基板とショットキー接合するシリサイド膜を形成して、PMISFETのソース及びドレインを形成する工程と、

NMISFETのソース及びドレインの形成予定領域の前記層間絶縁膜を除去して、底部に前記シリコン基板の表面が露出するNMIS側ソース／ドレイン溝を形成する工程と、

前記NMIS側ソース／ドレイン溝内に、第1の金属膜と異なる材料からなる第2の金属膜を埋め込み形成し、NMISFETのソース電極及びドレイン電極を形成する工程と、

前記シリコン基板とNMISFETのソース電極及びドレイン電極とを反応させて、該基板とショットキー接合するシリサイド膜を形成して、NMISFETのソース及びドレインを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項9】シリコン基板の表面に、第1導電型の不純物が導入されたエクステンション領域を形成する工程と、
前記シリコン基板上に層間絶縁膜を形成する工程と、
MISFETのソース及びドレインの形成予定領域間の

前記層間絶縁膜を選択的に除去して、ゲート溝を形成する工程と、

前記ゲート溝の側壁に側壁絶縁膜を形成する工程と、
前記ゲート溝下部のエクステンション領域に第2導電型の不純物を導入し、チャネル領域を形成する工程と、
前記ゲート溝の底面に前記シリコン基板を露出させ、露出するシリコン基板の表面にゲート絶縁膜を形成する工程と、

前記溝内にゲート電極を埋め込み形成する工程と、
前記MISFETのソース及びドレインの形成予定領域の前記層間絶縁膜を選択的にエッチングして、底部に前記シリコン基板の表面が露出するソース／ドレイン溝を形成する工程と、

前記ソース／ドレイン溝内に金属膜を埋め込み形成し、ソース電極及びドレイン電極を形成する工程と、
前記シリコン基板と前記ソース電極及びドレイン電極とを反応させて、該基板とショットキー接合するシリサイド膜を形成して、ソース及びドレインを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】前記ゲート電極及びゲート絶縁膜は、金属材料及び高誘電体で形成され、

前記シリコン基板と前記金属膜との反応は、450℃以下の温度で行われることを特徴とする請求項7～9の何れかに記載の半導体装置の製造方法。

【請求項11】シリコン基板上に、層間絶縁膜を形成する工程と、

MISFETのソース及びドレインの形成予定領域の前記層間絶縁膜に、底部に前記シリコン基板の表面が露出するソース／ドレイン溝を形成する工程と、

前記ソース／ドレイン溝内に金属膜を埋め込み形成し、ソース電極およびドレイン電極を形成する工程と、

前記シリコン基板とソース電極およびドレイン電極とを反応させて、該基板とショットキー接合するシリサイド膜を形成して、ソース及びドレインを形成する工程と、
前記ソース電極およびドレイン電極の対向する側面が露出するゲート溝を形成する工程と、

前記ゲート溝の側壁に側壁絶縁膜を形成する工程と、
前記ゲート溝の底面に前記シリコン基板を露出させ、露出するシリコン基板の表面にゲート絶縁膜を形成する工程と、

前記ゲート溝内にゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン基板とショットキー接合するシリサイドをソース及びドレインに用いたMISFETを有する半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】MOSFETにメタルゲートや高誘電体

ゲート絶縁膜を適用するために、ダミーゲートを用いるプロセス(Replacement gate process, Damascene gate process)が提案されている(参考文献:A Chatterjee et al., IEDM Tech. Dig., (1997), p. 821およびA. Yagishita et al., IEDM Tech. Dig., (1998), p. 785)。

【0003】ここでダミーゲートプロセスとは、将来ゲートを形成する領域に後で除去する使い捨てのゲートを形成し、これにセルフアラインでソース／ドレインを形成したのち、ダミーゲートを除去した後、ダミーゲートを除去して形成された溝にダマシプロセスを用いて本来のゲートに置き換えるプロセスである。

【0004】ダミーゲートプロセスを用いれば、高温熱処理の必要なソース／ドレインをゲートより先に形成してしまうので、ゲート形成後の熱工程を450℃以下に低温化できる。したがって、熱耐性に乏しいメタルゲート電極や高誘電体ゲート絶縁膜をMOSFETに適用することが容易になる。

【0005】メタルゲート、high-kゲート絶縁膜を用いたダマシゲート(またはリプレースメントゲート)トランジスタの問題点は、(1)ダミーゲート形成および除去のために工程数が大幅に増加してしまうこと、(2)ゲート電界のフリンジ(しみだし)効果で短チャネル効果が劣化すること(参考文献:Baohong Chen et al., IEEE Transactions on ELECTRON DEVICES, Vol. 46, No. 7, (1999), p. 1537)、(3)用いられる多くのメタルゲートの仕事関数がシリコンのミッドギャップ付近に位置するため、その影響でしきい値電圧(絶対値)が上昇すること、である。

【0006】

【発明が解決しようとする課題】上述したように、ダミーゲートの形成及び除去のために工程数が大幅に増加するという問題があった。また、ゲート電界のフリンジ(しみだし)効果で短チャネル効果が劣化するという問題があった。

【0007】本発明の目的は、ゲート絶縁膜及びゲート電極にそれぞれ高誘電体膜及び金属を用いたMISFETの工程数の抑制を図り得る半導体装置及びその製造方法を提供することにある。

【0008】また、本発明の別の目的は、ゲート絶縁膜に高誘電体膜を用いても短チャネル効果の抑制を図り得る半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】【構成】本発明は、上記目的を達成するために以下のように構成されている。

【0010】(1)本発明に係わる半導体装置は、シリコン基板と、このシリコン基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、このゲート電極を挟むように前記シリコン基板に形成され、該基板との界面でショットキー接合するシリサイド材料からなるソース及びドレインとを具備し、前記

ゲート絶縁膜の材料は高誘電体膜であること、及び前記ゲート電極の材料は金属であることの少なくとも一方の条件を満たすことを特徴とする。

【0011】(2) 本発明に係わる半導体装置は、シリコン基板と、このシリコン基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、このゲート電極を挟むように前記シリコン基板から形成され、シリサイドからなるソース及びドレインとをそれぞれ具備したNMISFETとPMISFETとを具備する半導体装置であって、前記ゲート絶縁膜の材料は高誘電体膜であること、及び前記ゲート電極の材料は金属であることの少なくとも一方の条件を満たし、且つ前記NMISFET及びPMISFETを構成するシリサイドの材料は、それぞれ異なること特徴とする。

【0012】この半導体装置においては、前記PMISFETのソース及びドレインを構成するシリサイドの材料は、該PMISFETのチャンネルに対して仕事関数が大きく、前記NMISFETのソース及びドレインを構成するシリサイドの材料は、該NMISFETのチャンネルに対して仕事関数が小さいことが好ましい。

【0013】上記二つの半導体装置において、前記シリコン基板が、SOI基板であることが好ましい。

【0014】(3) 本発明に係わる半導体装置の製造方法は、シリコン基板上に、層間絶縁膜を形成する工程と、MISFETのソース及びドレインの形成予定領域間の前記層間絶縁膜を選択的に除去して、ゲート溝を形成する工程と、前記ゲート溝の側壁に側壁絶縁膜を形成する工程と、前記ゲート溝の底面に前記シリコン基板を露出させ、露出するシリコン基板の表面にゲート絶縁膜を形成する工程と、前記溝内にゲート電極を埋め込み形成する工程と、前記MISFETのソース及びドレインの形成予定領域の前記層間絶縁膜を選択的にエッチングして、底部に前記シリコン基板の表面が露出するソース／ドレイン溝を形成する工程と、前記ソース／ドレイン溝内に金属膜を埋め込み形成し、ソース電極及びドレイン電極を形成する工程と、前記シリコン基板と前記ソース電極及びドレイン電極とを反応させて、該基板とショットキー接合するシリサイド膜を形成して、ソース及びドレインを形成する工程とを含む。

【0015】(4) 本発明に係わる半導体素子の製造方法は、シリコン基板上に、層間絶縁膜を形成する工程と、PMISFET及びNMISFETのソース及びドレインの形成予定領域間の前記層間絶縁膜を選択的に除去して、ゲート溝を形成する工程と、前記ゲート溝の側壁に側壁絶縁膜を形成する工程と、前記ゲート溝の底面に前記シリコン基板を露出させ、露出するシリコン基板の表面にゲート絶縁膜を形成する工程と、前記ゲート溝内にゲート電極を埋め込み形成する工程と、PMISFETのソース及びドレインの形成予定領域の前記層間絶縁膜を除去して、底部に前記シリコン基板の表面が露出する

るPMIS側ソース／ドレイン溝を形成する工程と、前記PMIS側ソース／ドレイン溝内に、第1の金属膜を埋め込み形成し、PMISFETのソース電極及びドレイン電極を形成する工程と、前記シリコン基板と前記PMISFETのソース電極及びドレイン電極とを反応させて、該基板とショットキー接合するシリサイド膜を形成して、PMISFETのソース及びドレインを形成する工程と、NMISFETのソース及びドレインの形成予定領域の前記層間絶縁膜を除去して、底部に前記シリコン基板の表面が露出するNMIS側ソース／ドレイン溝を形成する工程と、前記NMIS側ソース／ドレイン溝内に、第1の金属膜と異なる材料からなる第2の金属膜を埋め込み形成し、NMISFETのソース電極及びドレイン電極を形成する工程と、前記シリコン基板とNMISFETのソース電極及びドレイン電極とを反応させて、該基板とショットキー接合するシリサイド膜を形成して、NMISFETのソース及びドレインを形成する工程とを含む。

【0016】上記二つの半導体装置の製造方法において、前記ゲート電極及びゲート絶縁膜は、金属材料及び高誘電体で形成され、前記シリコン基板と前記金属膜との反応は、450℃以下の温度で行われることが好ましい。

【0017】(5) 本発明に係わる半導体装置の製造方法は、シリコン基板上に、層間絶縁膜を形成する工程と、MISFETのソース及びドレインの形成予定領域の前記層間絶縁膜に、底部に前記シリコン基板の表面が露出するソース／ドレイン溝を形成する工程と、前記ソース／ドレイン溝内に金属膜を埋め込み形成し、ソース電極およびドレイン電極を形成する工程と、前記シリコン基板とソース電極およびドレイン電極とを反応させて、該基板とショットキー接合するシリサイド膜を形成して、ソース及びドレインを形成する工程と、前記ソース電極およびドレイン電極の対向する側面が露出するゲート溝を形成する工程と、前記ゲート溝の側壁に側壁絶縁膜を形成する工程と、前記ゲート溝の底面に前記シリコン基板を露出させ、露出するシリコン基板の表面にゲート絶縁膜を形成する工程と、前記ゲート溝内にゲート電極を埋め込み形成する工程とを含む。

【0018】[作用] 本発明は、上記構成によって以下の作用・効果を有する。

【0019】以上のようにすると、ダミーゲートの形成および除去が不要になるため、従来のダマシゲートプロセスよりも工程数を大幅に削減できる。またソースおよびドレイン活性化のための高温熱工程（通常1000℃程度）を行う必要がないので製造が容易になる。さらに、pn接合でなくショットキー接合によるソースおよびドレインを用いているため、ゲート絶縁膜に高誘電体膜を用いても短チャネル効果を防止できる。短チャネル効果が抑えられれば、チャネル濃度を薄くできるの

でS-factor改善、しきい値電圧低減の効果も得られる。

【0020】また、ソース/ドレイン材料として、NMOSとPMOSでそれぞれ異なる金属材料を用いたため、以下のようなメリットが生じる。すなわち、ショットキー接触（接合）をソースおよびドレインに用いたトランジスタでは、電流駆動能力の低下を避けるために、Nチャネルに対しては小さな、またPチャネルに対しては大きな仕事関数を持つショットキー接触材料が必要であるが、NMOSに対しては仕事関数の小さな材料、PMOSに対しては仕事関数の大きな材料を用いることができるので、NMOS、PMOS両方の駆動電流を大きくすることが可能になる。また、ショットキー接触材料を選ぶことにより、NMOS、PMOSそれぞれのしきい値電圧を別々に制御できる。

【0021】また、SOI-MOSFETのソース/ドレインにショットキー接合を適用することで、接触の特徴を活かしてSOI素子の欠点を補うことができ、また、SOIを利用することでショットキー接触のもつ欠点を取り除くことが出来る。すなわち、ソース/ドレインの双方におけるショットキー障壁の効果で、SOI-MOSFETの基板浮遊問題を抑制でき、また、SOI構造の採用により、ドレイン接触でのリーク電流を抑制できるため、トランジスタのオフ電流（消費電力）を小さくできる。

【0022】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0023】[第1実施形態] 図1は、本発明の第1の実施形態に係わるNMOSFETの構成を示す断面図である。なお、図1は、ゲート長方向の断面を示している。

【0024】図1に示すように、半導体シリコン基板101の素子領域の周囲に素子分離絶縁膜102が形成されている。シリコン基板101上に、チャネル領域の周囲を覆うようにシリコン窒化膜からなる側壁絶縁膜107が形成されている。

【0025】側壁が側壁絶縁膜からなる溝の内部に、 Ta_2O_5 膜108、バリアメタルTiN膜109、Al膜110が埋め込み形成されている。 Ta_2O_5 膜108がゲート絶縁膜であり、バリアメタルTiN膜109及びAl膜110がメタルゲート電極111である。

【0026】素子分離絶縁膜102上に層間絶縁膜104が形成されている。側壁が側壁絶縁膜107及び層間絶縁膜からなる溝の底部のシリコン基板101上にシリサイドからなるショットキー接合・ソース/ドレイン115が形成されている。ショットキー接合・ソース/ドレイン115上にソース/ドレイン電極114が形成されている。

【0027】このNMOSFETは、シリコン基板との

接合がpn接合でなくショットキー接合によるソースおよびドレインを用いたトランジスタ（Schottky barrier tunnel transistor (SBTT)）である。SBTTは、ソース及びドレイン領域の接合部分で、空乏層幅が小さい。また、ショットキー接合の障壁高さは、鏡像効果を除けば電界によって変化することはないため、DIBL (Drain-Induced Barrier Lowering) を避けることが出来る。したがって、このトランジスタ構造ではショートチャネル効果を抑制することができる。短チャネル効果が抑制されることにより、チャネル濃度を薄くできるのでS-factor改善、しきい値電圧低減の効果も得られる。

【0028】次に、このNMOSFETの製造方法について図2～図5を参照して説明する。図2～図5は、図1に示したNMOSFETの製造工程を示す工程断面図である。工程順に説明を行うと、まず、図2(a)に示すように、半導体シリコン基板101を用意する。次いで、図2(b)に示すように、STI (Shallow-trench-isolation) による素子分離を行うため、素子分離領域に深さ200nm程度の溝を形成し、溝にTEOS-SiO₂膜を埋め込み形成して素子分離絶縁膜102を形成する。

【0029】次いで、図2(c)に示すように、シリコン基板101表面に5nm程度の熱酸化によりSiO₂膜103を形成した後、150nm程度のTEOS-SiO₂膜をLPCVD法により堆積して層間絶縁膜104を形成する。この層間絶縁膜は、後の工程でCMPのストッパーとして使用される。

【0030】次いで、図2(d)に示すように、EB直描やリソグラフィーによりMISFETのチャネル形成領域に開口を有するレジスト膜105を形成した後、レジスト膜105をマスクにソース及びドレインの形成予定領域間の層間絶縁膜104をエッチングして、ゲート溝106を形成する。

【0031】次いで、図3(e)に示すように、レジスト膜105を除去した後、シリコン窒化膜の堆積、RIE法によるエッチングを行って、ゲート溝106の内側に側壁絶縁膜107を形成する。ここでチャネル領域に、トランジスタのしきい値電圧調整用のイオン注入を行う（図示せず）。このゲート溝106がゲート形成予定領域となる。

【0032】本発明のトランジスタではソース/ドレインをショットキー接合にて低温で（例えば450℃以下で）形成する予定なので、ゲート形成後450℃以上の高温熱処理工程が存在しない。したがって、高誘電率膜や強誘電体膜（ Ta_2O_5 膜、 TiO_2 膜、 Si_3N_4 膜、 $(Ba, Sr)TiO_3$ 、 HfO_2 、 ZrO_2 、 La_2O_3 、 Gd_2O_3 、 Y_2O_3 、 CaF_2 、 $CaSnF_2$ 、 CeO_2 、Yttria Stabilized Zirconia、 Al_2O_3 、 $ZrSiO_4$ 、 $HfSiO_4$ 、G

d_2SiO_2 , $2\text{La}_2\text{O}_3 \cdot 3\text{SiO}_2$, など) をゲート絶縁膜に使用することができ、またゲート電極には金属材料(TiN , WN , Al , W , Ru 等)を使用することができる。

【0033】もしゲート形成後に $800 \sim 1000^\circ\text{C}$ 程度の高温工程が存在すると、メタルゲート原子がゲート絶縁膜中に拡散してゲート耐圧が劣化したり、 High-k 膜とシリコンの間の界面に誘電率の低い薄膜層が形成され、実効的なゲート絶縁膜厚が著しく増大してしまう。

【0034】ここではゲート絶縁膜材料として Ta_2O_5 膜、メタルゲート材料としてバリアメタル TiN と Al の積層構造を用いた場合を説明する。詳しく製造方法を述べると、図3(f)に示すように、例えばゲート溝106底部にシリコン基板101を露出させ、 1nm 以下のシリコン窒化膜(NO 窒化オキシナイトライド膜)を形成する。その上に Ta_2O_5 膜(ゲート絶縁膜)108を約 4nm 、 CVD 法で成膜する。このときゲート絶縁膜の酸化膜換算膜厚は 2nm 以下となる。その後、バリアメタルとして例えば膜厚 5nm 程度のバリアメタル TiN 膜109を CVD 法にて形成し、例えば膜厚 300nm 程度の Al 膜110をスパッタ法で堆積する。

【0035】次いで、図3(g)に示すように、 Al 膜110、バリアメタル TiN 膜109及び Ta_2O_5 膜108に対して順次 CMP を行うことによって、ゲート溝106内にメタルゲート電極111を埋め込み形成する。

【0036】次いで、図4(h)に示すように、リソグラフィ等により、素子領域に開口を有するレジスト膜112を形成した後、レジスト膜112をマスクに層間絶縁膜104及び SiO_2 膜103をエッチングし、ソース/ドレイン溝113を形成する。

【0037】層間絶縁膜104をエッチングする際、層間絶縁膜104を構成するシリコン窒化膜、 Ta_2O_5 膜108及びメタルゲート電極111がエッチングされず、選択的に SiO_2 膜がエッチングされる条件で行うことにより、自己整合的にメタルゲート電極111を挟むようなソース/ドレイン溝113を形成することができる。

【0038】次いで、図4(i)に示すように、レジスト膜112を除去した後、ソース/ドレイン溝113内が埋め込まれるように、 Er 膜114を堆積する。次いで、図4(j)に示すように、 CMP で Er 膜114の表面を平坦化して、層間絶縁膜104の表面を露出させると共に、ソース/ドレイン溝113内にソース/ドレイン電極114を形成する。

【0039】次いで、図5(k)に示すように、 450°C 以下の温度でアニールを行って、シリコン基板101とソース及びドレイン電極114とを反応させて、 ErSi_2 等のシリサイドからなるショットキー接合・ソー

ス/ドレイン115を形成する。

【0040】ソースおよびドレイン形成後は通常の LSI 製造プロセスと同様である。すなわち、図5(1)に示すように、 TEOS-SiO_2 膜からなる層間絶縁膜116を CVD 法で形成し、ソース/ドレイン電極114及びメタルゲート電極111上にコンタクトホールを開孔し、 Al 配線(上層金属配線)117をデュアルダマシン法にて形成する。

【0041】以上のようにすると、ダミーゲートの形成および除去が不要になるため、従来のダマシングートプロセスよりも工程数を大幅に削減できる。またソースおよびドレイン活性化のための高温熱工程(通常 1000°C 程度)を行う必要がないので製造が容易になる。

【0042】さらに、 pn 接合でなくショットキー接合によるソース及びドレインを用いているため、 high-k ゲート絶縁膜を用いていても短チャネル効果を防止できる。短チャネル効果が抑えられれば、チャネル濃度を薄くできるので S-factor 改善、しきい値電圧低減の効果も得られる。

【0043】しかも、以下のようなダマシングートプロセスのメリットもそのまま存続する。すなわち、[1]ゲートを RIE でなく CMP で加工するため、ゲート絶縁膜にプラズマダメージが導入されない。[2]薄いゲート絶縁膜上でメタルゲートを RIE 加工するのは大変困難であるが本発明のプロセスではその必要がない。

[3]ゲート加工後、表面が完全平坦化されるため、以降の製造工程が容易になる。[4]ソースおよびドレインとゲートの位置はセルフアラインで形成される。

【0044】[第2の実施形態]図6は、本発明の第2の実施形態に係わる CMOSFET の構成を示す断面図である。なお、図6は、ゲート長方向の断面を示している。図1と同一な部分には同一符号を付し、その説明を省略する。

【0045】本実施形態では、 NMOS と PMOS でショットキー接合・ソース/ドレインを構成する形成材料が異なる。すなわち、 NMOSFET 形成領域では、ソース/ドレイン電極114に Er を用い、ショットキー接合・ソース/ドレイン115に ErSi_2 を用いている。 PMOSFET 形成領域では、ソース/ドレイン電極201に Pt を用い、ショットキー接合・ソース/ドレイン202に PtSi を用いている。

【0046】本実施形態ではソース/ドレイン材料として、 NMOS と PMOS でそれぞれ異なる金属材料を用いたため、以下のようなメリットが生じる。すなわち、ショットキー接触(接合)をソース及びドレインに用いたトランジスタでは、電流駆動能力の低下を避けるために、 N チャネルに対しては小さな、また P チャネルに対しては大きな仕事関数を持つショットキー接触材料が必要である。

【0047】本実施形態では、 NMOSFET に対して

は仕事関数の小さなエルビウムシリサイド (ErSi)、PMOSFETに対しては仕事関数の大きなPtSiを用いることができるので、NMOSFET、PMOSFET両方の駆動電流を大きくすることが可能になる。また、ショットキー接触材料を選ぶことにより、NMOSFET、PMOSFETそれぞれのしきい値電圧を別々に制御できる。

【0048】次に、図6に示したCMOSFETの製造方法を説明する。図7～図9は、図6に示したCMOSFETの製造工程を示す工程断面図である。

【0049】図7(a)に示す構造は、第1の実施形態において図2(a)～図3(e)を用いて説明した工程と同様な工程を経て形成されるので説明を省略する。

【0050】次いで、図7(b)に示すように、PMOSチャネル形成領域の表面に選択的にレジスト膜211を形成した後、NMOSチャネル形成領域に露出するシリコン基板101の表面にトランジスタしきい値電圧調整用のイオンを注入する。次いで、図7(c)に示すように、PMOSチャネル形成領域表面のレジスト膜211を除去した後、NMOSチャネル形成領域の表面にレジスト膜212を形成して、PMOSチャネル形成領域に露出するシリコン基板101表面にトランジスタしきい値電圧調整用のイオンを注入する。

【0051】本発明のトランジスタではソース/ドレインをショットキー接合にて低温で(例えば450℃以下で)形成する予定なので、ゲート形成後450℃以上の高温熱処理工程が存在しない。したがって、高誘電率膜や強誘電体膜(Ta_2O_5 膜、 TiO_2 膜、 Si_3N_4 膜、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 HfO_2 、 ZrO_2 、 La_2O_3 、 Gd_2O_3 、 Y_2O_3 、 CaF_2 、 CaSnF_2 、 CeO_2 、Yttria Stabilized Zirconia、 Al_2O_3 、 ZrSiO_4 、 HfSiO_4 、 Gd_2SiO_5 、 $2\text{La}_2\text{O}_3 \cdot 3\text{SiO}_2$ 、など)をゲート絶縁膜に使用することができ、またゲート電極には金属材料(TiN 、 WN 、 Al 、 W 、 Ru 等)を使用することができる。

【0052】次いで、図7(d)に示すように、レジスト膜を除去した後、第1の実施形態と同様に、ゲート絶縁膜材料として Ta_2O_5 膜108、バリア金属 TiN 109と Al 膜110とが積層された金属ゲート電極111を形成する。

【0053】次いで、図8(e)に示すように、NMOSチャネル形成領域の素子領域に開口部を有するレジスト膜213を形成した後、レジスト膜213をマスクに層間絶縁膜104を選択的にエッチングし、NMOS側ソース/ドレイン溝214を形成する。次いで、図7

(f)に示すように、NMOS側ソース/ドレイン溝214内を埋め込むように、全面に Er 膜114を堆積する。

【0054】次いで、図7(g)に示すように、 Er 膜

114に対して化学的機械研磨を行って、層間絶縁膜104の表面を露出させて、ソース/ドレイン電極114を形成する。そして、例えば450℃以下の低温でシリサイド反応を起こさせて、ソース/ドレイン電極114とシリコン基板101との界面に、NMOS側ショットキー接合・ソース/ドレイン115を形成する。

【0055】次いで、図9(h)に示すように、PMOSチャネル形成領域の素子領域に開口部を有するレジスト膜215を形成した後、レジスト膜215をマスクに層間絶縁膜104を選択的にエッチングし、PMOS側ソース/ドレイン溝216を形成する。次いで、図9(i)に示すように、PMOS側ソース/ドレイン溝216内を埋め込むように、全面にPt膜201を堆積する。

【0056】次いで、図9(j)に示すように、Pt膜201に対して化学的機械研磨を行って、層間絶縁膜の表面を露出させて、PMOS側ソース/ドレイン溝216内にソース/ドレイン電極201を形成する。そして、例えば450℃以下の低温でシリサイド反応を起こさせて、PMOS側ソース/ドレイン電極201とシリコン基板101との界面に、PMOS側ショットキー接合・ソース/ドレイン202を形成する。

【0057】ショットキー接合・ソース及びドレインの形成後は通常のLSI製造プロセスと同様である。すなわち、層間絶縁膜TEOSをCVDで堆積し、ソース/ドレイン電極114、201および金属ゲート電極111上にコンタクトホールを開孔し、上層金属配線(例えばA1配線)117をデュアルダマシン法にて形成する。これらの断面図は第1の実施形態と同様であるから省略する。

【0058】以上のようにすると、ダミーゲートの形成および除去が不要になるため、従来のダマシゲートプロセスよりも工程数を大幅に削減できる。またソースおよびドレイン活性化のための高温熱工程(通常1000℃程度)を行う必要がないので製造が容易になる。

【0059】さらに、pn接合でなくショットキー接合によるソースおよびドレインを用いているため、high-kゲート絶縁膜を用いても短チャネル効果を防止できる。短チャネル効果が抑えられれば、チャネル濃度を薄くできるのでS-factor改善、しきい値電圧低減の効果も得られる。

【0060】しかも、本実施形態ではソース/ドレイン材料として、NMOSとPMOSでそれぞれ異なる金属材料を用いたため、以下のようなメリットが生じる。すなわち、ショットキー接触(接合)をソースおよびドレインに用いたトランジスタでは、電流駆動能力の低下を避けるために、Nチャネルに対しては小さな、またPチャネルに対しては大きな仕事関数を持つショットキー接触材料が必要である。

【0061】本実施形態では、NMOSFETに対して

は仕事関数の小さなエルビウムシリサイド (ErSi_2)、PMOSFETに対しては仕事関数の大きなPtSiを用いることができるので、NMOSFET、PMOSFET両方の駆動電流を大きくすることが可能になる。また、ショットキー接触材料を選ぶことにより、NMOSFET、PMOSFETそれぞれのしきい値電圧を別々に制御できる。

【0062】なお、本実施形態においては、NMISソース/ドレインとPMISソース/ドレインと製造の順番を逆にしてもよい。

【0063】[第3の実施形態] 図10は、本発明の第3の実施形態に係わるNMOSFETの構成を示す断面図である。なお、図10は、ゲート長方向の断面を示している。図10において、図1と同一な部分には同一符号を付し、その説明を省略する。本実施形態の特徴は、支持シリコン基板301、埋め込み酸化膜302、及びシリコン層303からなるSOI基板300を用いている点である。その他の構成は第1の実施形態と同様であるから、製造方法の説明は省略する。本実施形態によれば、第1の実施形態と同様の効果(メリット)が得られると共に、それ以外にも以下のようなメリットが得られる。すなわち、SOI-MOSFETのソース/ドレインにショットキー接合を適用することで、接触の特徴を活かしてSOI基板を用いた半導体素子の欠点を補うことができると共に、SOI基板を利用することでショットキー接触のもつ欠点を取り除くことが出来るのである。

【0064】詳しく述べると、[1]ソース/ドレインの双方におけるショットキー障壁の効果で、SOI-MOSFETの基板浮遊問題を抑制できる、[2]SOI構造の採用により、ドレイン接触でのリーク電流を抑制できるため、トランジスタのオフ電流(消費電力)を小さくできる。

【0065】[第4の実施形態] 図11は、本発明の第4の実施形態に係わるNMOSFETの構成を示す断面図である。なお、図11は、ゲート長方向の断面を示している。本実施形態の特徴は、ショットキー接合・ソース/ドレイン115が側壁絶縁膜107の下まで伸びて形成されていることにある。

【0066】本実施形態によれば、第1の実施形態と同様の効果(メリット)が得られる。それ以外にも以下のようなメリットが得られる。すなわち、ゲート電極とソース/ドレインとの距離を短くすることにより、トランジスタの寄生抵抗を低減し、高い駆動能力を実現できる。

【0067】次に、図11に示すNMOSFETの製造工程を説明する。図12(a)に示す構造は、第1の実施形態において図2(a)～図4(h)を用いて説明した工程を経て形成されるので、説明を省略する。その後の工程を順に説明すると、図12(b)に示すように、

ソース/ドレイン溝113の底部に露出するシリコン基板を30nm程度CDEでエッチングすることにより、ゲート側壁の下にアンダーカット401を形成する。

【0068】次いで、図12(c)に示すように、アンダーカット401が出来たソース/ドレイン溝113内を埋め込むようにEr膜を形成する。次いで、図12

(d)に示すように、CMPでEr膜114の表面を平坦化して、層間絶縁膜104の表面を露出させると共に、ソース/ドレイン溝113内にソース/ドレイン電極114を形成する。そして、450℃以下の温度でアニールを行って、シリコン基板101とソース及びドレイン電極114とを反応させて、 ErSi_2 からなるショットキー接合・ソース/ドレイン115を形成する。

【0069】本実施形態によれば、第1の実施形態と同様の効果(メリット)が得られる。それ以外にも以下のようなメリットが得られる。すなわち、ゲートとソース/ドレインの間のオフセット量(またはオーバーラップ量)を制御することが出来るようになり、トランジスタの寄生抵抗を低減し、高い駆動能力を実現できる。なお、ソース/ドレインのシリサイド化反応時にシリコン基板が侵食される場合、上記のようなCDEを行わなくても、ゲート側壁下にソース/ドレイン金属材料が回り込むことがある。

【0070】[第5の実施形態] 図13(a)～図14(h)は、本発明の第5の実施形態に係わるNMOSFETの製造工程を示す工程断面図である。なお、図13(a)～図14(h)ではゲート長方向の断面を示している。工程順に説明を行うと、まず、図13(a)に示すように、半導体シリコン基板101を用意する。次いで、図13(b)に示すように、STI(Shallow-trench-isolation)による素子分離を行うため、素子分離領域に深さ200nm程度の溝を形成し、溝にTEOS- SiO_2 膜を埋め込み形成して素子分離絶縁膜102を形成する。そして、シリコン基板101の表面に熱酸化により5nm程度の SiO_2 膜103を形成した後、全面に10nm程度のシリコン窒化膜501を形成する。次いで、図13(c)に示すように、シリコン窒化膜501上に、150nm程度の膜厚のTEOS- SiO_2 膜をLPCVD法を用いて堆積し、層間絶縁膜104を形成する。

【0071】次いで、図13(d)に示すように、EB直描やリソグラフィーによりチャネル形成領域に開口を有するレジスト膜105を形成し、ゲート形成予定領域の層間絶縁膜104をRIE法でエッチングし、ゲート溝106を形成する。このとき、シリコン窒化膜501が、RIEストッパーの役目を果たし、シリコン基板101がエッチングされるのを防ぐ。

【0072】次いで、図14(e)に示すように、レジスト膜105を除去した後、シリコン窒化膜の堆積、RIE法によるエッチングを行うことで、ゲート溝106

内側に例えばシリコン窒化膜からなる側壁絶縁膜107を形成する。側壁絶縁膜107形成のためのRIEの時、溝底部に露出するシリコン窒化膜501も同時に除去されるが、もし残留しているようであれば、ホットリン酸かRIEで除去する。

【0073】次いで、図14(f)に示すように、チャネル領域にトランジスタのしきい値電圧調整用のイオン注入を行ない(図示せず)、HF処理で SiO_2 膜103を除去する。

【0074】この後は他の実施形態と同様である。すなわち、図14(g)に示すように、ダマシプロセスを用いて、ゲート絶縁膜材料の Ta_2O_5 膜108、バリアメタルTiN膜109とAl膜110との積層構造からなるメタルゲート電極111をゲート溝106に埋め込み形成する。

【0075】そして、図14(h)に示すように、ソース/ドレイン溝を形成した後、ソース/ドレイン溝内にEr膜からなるソース/ドレイン電極114を埋め込み形成した後、450℃以下の温度でアニールすることによって、ソース/ドレイン電極114とシリコン基板101との界面に、ショットキー接合・ソース/ドレイン115を形成する。

【0076】本実施形態によれば、第1の実施形態と同様の効果(メリット)が得られる。それ以外にも以下のようなメリットが得られる。すなわち、層間絶縁膜104と5nm程度の SiO_2 膜103との間に形成された10nm程度のシリコン窒化膜501により、ゲート形成予定領域の層間絶縁膜104をRIE法でエッチングし、ゲート溝106を形成するとき、シリコン窒化膜501が、RIEストッパーの役目を果たし、シリコン基板101がエッチングされたり、RIEダメージを受けたりするのを防ぐことができる。従って、MOS界面の特性が著しく改善する。

【0077】【第6の実施形態】図15(a)～(d)は、本発明の第6の実施形態に係わるNMOSFETの製造工程を示す工程断面図である。なお、図15(a)～(d)ではゲート長方向の断面を示している。本実施形態では、メタルゲートをダマシ法ではなく、RIEプロセスで形成している。工程順に説明を行うと、まず、図15(a)に示すように、半導体シリコン基板101にSTI技術を用いた素子分離絶縁膜102を形成し、チャネル領域にトランジスタのしきい値電圧調整用のイオン注入を行う。そして、シリコン基板表面にゲート絶縁膜材料として Ta_2O_5 膜108を形成する。

【0078】次いで、図15(b)に示すように、メタルゲート材料としてバリアメタルTiN膜109とAl膜110とを順次堆積した後、EB直描やリソグラフィとRIE法によりゲートパターンにパターニングし、メタルゲート電極111を形成する。次に、メタルゲート電極111の側面に例えばシリコン窒化膜によ

る側壁絶縁膜107を形成する。次いで、図15(c)に示すように、200nm程度の TEOS-SiO_2 膜を堆積した後、CMPで平坦化して、層間絶縁膜104を形成する。

【0079】この後は他の実施形態と同様である。図15(d)に示すように、ソース/ドレイン領域の層間絶縁膜104をエッチング除去した後、ソース/ドレイン電極104及びショットキー接合・ソース/ドレイン115を形成する。

【0080】本実施形態によれば、ダミーゲートの形成および除去が不要になるため、ダマシゲートプロセスよりも工程数を大幅に削減できる。またソースおよびドレイン活性化のための高温熱工程(通常1000℃程度)を行う必要がないので製造が容易になる。さらに、pn接合でなくショットキー接合によるソースおよびドレインを用いているため、high-kゲート絶縁膜を用いていても短チャネル効果を防止できる。短チャネル効果が抑えられれば、チャネル濃度を薄くできるのでS-factor改善、しきい値電圧低減の効果も得られる。当然、ソースおよびドレインとゲートの位置はセルフアラインで形成される。

【0081】【第7の実施形態】第1の実施形態では、図1に示すNMOSFETの製造方法を図2～5を用いて説明した。本発明では、図2～5を用いて説明した製造方法と異なるNMISFETの製造方法を説明する。

【0082】図16、17は、本発明の第7の実施形態に係わるNMISFETの製造工程を示す工程断面図である。まず、図16(a)に示す構造は、第1の実施形態において図2(a)～図2(c)を用いて説明した工程を経て形成されるので、説明を省略する。次いで、図16(b)に示すように、MISFETのソース及びドレインが形成される領域に開口部を有するレジスト膜を形成した後、レジスト膜をマスクに層間絶縁膜104及び SiO_2 膜103を選択的にエッチングし、ソース/ドレイン溝113を形成する。

【0083】次いで、図16(c)に示すように、ダマシ法を用いて、ソース/ドレイン溝内にシリコンと反応してシリサイドを形成するメタル材114を埋め込み形成する。次いで、図16(d)に示すように、メタル材114とシリコン基板101とを反応させてシリサイドからなるショットキー接合・ソース/ドレイン115を形成する。

【0084】なお、図16(b)に示した工程において、ソース/ドレイン溝113の底部に露出するシリコン基板を30nm程度CDEでエッチングすることにより、ゲート側壁の下にアンダーカットを形成し、アンダーカットを埋め込むようにEr膜を埋め込み形成しても良い。すると、ショットキー接合・ソース/ドレイン115が後で経路する側壁絶縁膜107の下まで伸びて形成されるので、ゲート電極とソース/ドレインとの距離

を短くすることにより、トランジスタの寄生抵抗を低減し、高い駆動能力を実現できる。

【0085】次いで、図17(e)に示すように、ショットキー接合・ソース/ドレイン115上の金属材料114及びソース/ドレイン115間の層間絶縁膜104上に開口を有するレジスト膜701を形成する。そして、レジスト膜701をマスクに層間絶縁膜104を選択的にエッチングし、ソース/ドレイン電極の対向する側面が露出するゲート溝106を形成する。

【0086】次いで、図17(f)に示すように、レジスト膜701を除去した後、シリコン窒化膜の堆積、RIE法によるエッチングを行って、ゲート溝106の内側に側壁絶縁膜107を形成する。ここで必要であればチャンネル領域のシリコン基板101に、 SiO_2 膜103を介して、トランジスタのしきい値電圧調整用のイオン注入を行う(図示せず)。

【0087】次いで、図17(g)に示すように、第1の実施形態と同様に、ゲート絶縁膜材料として Ta_2O_5 膜108、バリア金属TiN膜109とAl膜110とが積層された金属ゲート電極111を形成する。

【0088】本実施形態では、ソース/ドレイン溝内に埋め込む金属材料は、第1の実施形態と異なり、シリコンと反応してシリサイドを形成するものであれば、任意の金属を用いることができる。第1の実施形態では、ゲート絶縁膜及び金属ゲート電極を形成した後に、ソース及びドレインを形成するために、450℃以下でシリサイドを形成する金属をソース/ドレインに埋め込み形成しなければならなかった。本実施形態の場合、ソース/ドレインの形成後にゲート電極を形成するので、高い温度でシリサイドを形成する金属材料を用いることができる。

【0089】また、ソース/ドレイン電極114が露出する溝を形成した後、溝の側壁に側壁絶縁膜を形成してゲート溝の形成を行うことによって、ソース/ドレインに対してゲート電極を自己整合的に形成することができる。

【0090】[第8の実施形態] 第2の実施形態では、図6に示すCMOSFETの製造方法を図7~9を用いて説明した。本発明では、図7~9を用いて説明した製造方法と異なるCMISFETの製造方法を説明する。

【0091】図18~図20は、本発明の第8の実施形態に係わるCMOSFETの製造工程を示す工程断面図である。まず、図18(a)に示す断面図は、図2

(a)~図2(b)を用いて説明した工程で形成されるので、その説明を省略する。

【0092】次いで、図18(b)に示すように、NMOSソース/ドレイン形成領域に開口部を有するレジスト膜801を形成した後、レジスト膜801をマスクに層間絶縁膜104を選択的にエッチングし、NMOS側ソース/ドレイン溝802を形成する。次いで、図18

(c)に示すように、NMOS側ソース/ドレイン溝802内を埋め込むように、全面にEr膜114を堆積する。

【0093】次いで、図18(d)に示すように、Er膜114に対して化学的機械研磨を行って、層間絶縁膜104の表面を露出させて、ソース/ドレイン電極114を形成する。そして、ソース/ドレイン電極114とシリコン基板101との界面に、NMOS側ショットキー接合・ソース/ドレイン115を形成する。

【0094】次いで、図19(e)に示すように、PMOSソース/ドレイン形成領域に開口部を有するレジスト膜803を形成した後、レジスト膜803をマスクに層間絶縁膜104を選択的にエッチングし、PMOS側ソース/ドレイン溝804を形成する。次いで、図19(f)に示すように、PMOS側ソース/ドレイン溝804内を埋め込むように、全面にPt膜201を堆積する。

【0095】次いで、図19(g)に示すように、Pt膜201に対して化学的機械研磨を行って、層間絶縁膜の表面を露出させて、PMOS側ソース/ドレイン溝804内にソース/ドレイン電極201を形成する。そして、例えば450℃以下の低温でシリサイド反応を起こさせて、PMOS側ソース/ドレイン電極201とシリコン基板101との界面に、PMOS側ショットキー接合・ソース/ドレイン202を形成する。

【0096】次いで、図19(h)に示すように、ソース/ドレイン電極114、201の一部、及びソース/ドレイン115、202間の層間絶縁膜104上に開口を有するレジスト膜805を形成する。そして、レジスト膜805をマスクに、PMOS側及びNMOS側のソース/ドレイン電極114、201の対向する側面が露出するゲート溝806a、806bを形成する。次いで、図20(i)に示すように、シリコン窒化膜の堆積、RIE法によるエッチングを行って、ゲート溝106の内側に側壁絶縁膜807を形成する。

【0097】次いで、図20(j)に示すように、PMOSチャンネル形成領域の表面に選択的にレジスト膜808を形成した後、NMOSチャンネル形成領域のゲート溝806a底面に露出するシリコン基板101の表面にトランジスタしきい値電圧調整用のイオンを注入する。次いで、図20(k)に示すように、PMOSチャンネル形成領域表面のレジスト膜808を除去した後、NMOSチャンネル形成領域の表面にレジスト膜800を形成して、PMOSチャンネル形成領域のゲート溝806b底面に露出するシリコン基板101表面にトランジスタしきい値電圧調整用のイオンを注入する。

【0098】次いで、図20(l)に示すように、第1の実施形態と同様に、ゲート絶縁膜材料として Ta_2O_5 膜108、バリア金属TiN膜109とAl膜110とが積層された金属ゲート電極111を形成する。

【0099】(第9の実施形態)図21は、本発明の第9の実施形態に係わるNMISFETの構成を示す断面図である。図21において、図1と同一な部分には同一符号を付し、その説明を省略する。なお、図21は、ゲート長方向をの断面を示している。このNMISFETは、図21に示すように、ショットキー接合・ソース/ドレイン115とp型のチャネル領域2111との間に、N型のエクステンション領域2112が形成されている。なお、半導体基板として、Si支持基板2101とBOX酸化膜2102とSi半導体層(チャネル領域2111、エクステンション領域2112)とが積層されたSOI基板を用いている。

【0100】ショットキー接合・ソース/ドレイン115とp型のチャネル領域2111との間にエクステンション層2112を形成する事により、ショットキー障壁(barrier)の高さを低減して、トランジスタの電流駆動力を向上させることができる。ただし、エクステンション層の不純物濃度には、上限があり、通常 $3 \times 10^{19} \text{ cm}^{-3}$ 程度である。この濃度は、ソース・ドレインにErSiやPtSiを用いた場合に、ショットキー接合部でバリスティック(ballistic)伝導が起こる限界点である。また、この構造では、チャネル領域におけるエクステンション領域と反対導電型の不純物濃度が、エクステンション領域の不純物濃度と同程度かそれ以上に濃くなるため、エクステンション領域の不純物濃度が濃すぎると、しきい値電圧 V_{th} が高くなりすぎてしまうためである。従って、望むしきい値電圧 V_{th} の値によっては、上記濃度より低い濃度に抑える必要がありうる。又、エクステンション領域及びチャネル領域の濃度が濃すぎると、両者のpn接合耐圧が低下する問題もあり、この問題がエクステンション領域の上限を決めることもある。

【0101】次に、図21に示すNMISFETの製造工程を図22(a)～図25(m)を用いて説明する。工程順に説明を行なうと、まず、図22(a)に示すように、Si支持基板2101、BOX酸化膜2102、及びSi半導体層2103が積層された半導体SOI基板を用意する。

【0102】次いで、図22(b)に示すように、STI(Shallow-trench-isolation)技術を用いた素子分離を行なうため、素子分離領域のSi半導体層2103を除去して深さ100nm程度の溝を形成し、この溝内にTEOS膜を埋め込み形成し、素子分離絶縁膜102を形成する。次に、Si半導体層2103の表面に5nm程度の熱酸化によりSiO₂膜103を形成する。そして、Si半導体層2103に後でソースおよびドレインとなるエクステンション領域の形成のためのイオン注入を行って、N型のエクステンション領域2112を形成する。例えば、Asを $1 \times 10^{19} \text{ cm}^{-3}$ 程度の濃度となるようにイオン注入する。

【0103】次いで、図22(c)に示すように、その

上に150nm程度のTEOS膜をLPCVD法により堆積して、層間絶縁膜104を形成する。この層間絶縁膜104は、後にCMPのストッパーとして使用される。

【0104】次いで、図22(d)に示すように、電子ビームの直描やリソグラフィーによりレジスト膜105を形成し、レジスト膜105をマスクにゲート形成予定領域の層間絶縁膜104をRIE(Reactive-ion-etching)法でエッチングし、ゲート溝106を形成する。

【0105】次いで、図23(e)に示すように、レジスト膜105を除去した後、ゲート溝106の内側に例えばシリコン窒化膜による側壁絶縁膜107を形成する。次いで、図23(f)に示すように、ここで先ほど全面に注入したn型のエクステンション領域2112を打ち消すように、逆導電型のイオン(ボロンなど)をイオン注入し、p型イオン注入領域2201を形成する。例えば、チャネル領域がp型半導体になるようにエクステンション領域よりも高濃度($> 1 \times 10^{19} \text{ cm}^{-3}$)のイオン注入を行う。このイオン注入で、トランジスタのしきい値電圧調整も同時に行なう。そして、図23

(g)に示すように、p型イオン注入領域2201を活性化し、P型のチャネル領域2111を形成する。

【0106】本実施形態のトランジスタではソース/ドレイン電極をエクステンション領域とショットキー接合するシリサイド電極の形成を低温(例えば450℃以下)で形成する(高濃度不純物を用いたDeep接合は形成しない)予定なので、ゲート形成後450℃以上の高温熱処理工程が存在しない。したがって、高誘電率膜や強誘電体膜(Ta₂O₅膜、TiO₂膜、Si₃N₄膜、(Ba, Sr)TiO₃、HfO₂、ZrO₂、La₂O₃、Gd₂O₃、Y₂O₃、CaF₂、CaSn₂、CeO₂、Yttria Stabilized Zirconia、Al₂O₃、ZrSiO₄、HfSiO₄、Gd₂SiO₅、2La₂O₃・3SiO₂、など)をゲート絶縁膜に使用することができ、またゲート電極には金属材料(TiN、WN、Al、W、Ru、Mo等)を使用することができる。

【0107】もしゲート形成後に800～1000℃程度の高温工程が存在すると、メタルゲート原子がゲート絶縁膜中に拡散してゲート耐圧が劣化したり、High-k膜とシリコンの間の界面に誘電率の低い薄膜層が形成されたり、実効的なゲート絶縁膜厚が著しく増大し素子性能が劣化してしまう。

【0108】本実施形態ではゲート絶縁膜材料としてTa₂O₅膜、メタルゲート材料としてバリアメタルTiNとWの積層構造を用いた場合を説明する。詳しく製造方法を述べると、図24(h)に示すように、例えばゲート溝106底部のSiO₂膜103を除去してチャネル領域2111を露出させる。そして、ゲート溝106底

部に1nm以下のシリコン窒化膜(NO窒化オキシナイトライド膜)、及び Ta_2O_5 膜108を約4nm、CVD成膜する。このときゲート絶縁膜の酸化膜換算膜厚は1.5nm以下となる。その後、バリアメタルとして、例えば膜厚5nm程度のTiN膜109をCVDにて形成し、例えば膜厚300nm程度のW膜110を成膜する。

【0109】次いで、図24(i)に示すように、TiN膜109とW膜110の積層構造をCMP法により研磨して、ダマシン法によるTEOS膜104上のTiN膜109及びW膜110のパターニングを行って、メタルゲート電極111を形成する。

【0110】その後、図24(j)に示すように、リソグラフィー等により素子領域に開口を有するレジスト膜2202を形成した後、レジスト膜2202をマスクにソース/ドレイン領域の層間絶縁膜104を選択的にエッチング除去し、ソース/ドレイン溝2203を形成する。

【0111】次いで、図25(k)に示すように、ソース/ドレイン溝2203内が埋め込まれるように、例えばErからなるソース/ドレイン電極114を堆積する。次いで、図25(l)に示すように、層間絶縁膜104上のソース/ドレイン電極114をCMP法により研磨して、ソース/ドレイン溝2203内にソース/ドレイン電極114を埋め込み形成する。さらに、図25(m)に示すように、低温で(例えば450℃以下で)シリサイド反応を起こさせて、シリサイドメタル(ErSi₂)を形成し、ショットキー接合ソース/ドレイン115を形成する。

【0112】ソースおよびドレインの形成後は通常のLSI製造プロセスと同様である。すなわち、層間絶縁膜TEOSをCVD法で堆積し、ソース/ドレインおよびゲート電極上にコンタクトホールを開孔し、上層金属配線(例えばCu配線)をデュアルダマシン法にて形成する。

【0113】以上のようにすると、従来のダマシングートで必要であった「ダミーゲートの形成および除去」が不要になるため、工程数を大幅に削減できる。またソースおよびドレインのDeep拡散層活性化のための高温熱工程(通常1000℃程度)を行なう必要がないので製造が容易になる。

【0114】さらに、以下のようなダマシングートプロセスのメリットもそのまま存続する。すなわち、[1]ゲートをRIEでなくCMPで加工するため、ゲート絶縁膜にプラズマダメージが導入されない。[2]薄いゲート絶縁膜上でメタルゲートをRIE加工するのは大変困難であるが本発明のプロセスではその必要がない。

[3]ゲート加工後、表面が完全平坦化されるため、以降の製造工程が容易になる。[4]ソースおよびドレインとゲートの位置はセルフアラインで形成される。

【0115】さらにまた、SOI-MOSFETのソース/ドレインにショットキー接合を適用することで、接触の特徴を活かしてSOI素子の欠点を補うことができ、また、SOIを利用することでショットキー接触のもつ欠点を取り除くことが出来る。詳しく述べると、

[1]ソース/ドレインの双方におけるショットキー障壁の効果で、SOI-MOSFETの基板浮遊問題を抑制できる、[2]SOI構造の採用により、ドレイン接触でのリーク電流を抑制できるため、トランジスタのオフ電流(消費電力)を小さくできる。

【0116】(第10の実施形態)本実施形態では、NMOSFETとPMOSFETとでショットキー接合・ソース/ドレインを構成する形成材料が異なるCMOSFETの製造方法について説明する。

【0117】次に、CMOSFETの製造方法を説明する。図26～図28は、本発明の第10の実施形態に係わるCMOSFETの製造工程を示す工程断面図である。

【0118】図23(a)～図23(e)までは、第9の実施形態と同様なので説明を省略する。但し、nMOS、pMOS領域にそれぞれn型とp型のエクステンション領域2112a、2112bを形成しておく。その後の工程を順に説明すると、図26(a)に示すように、ゲート形成予定領域の層間絶縁膜104にゲート溝2601a、2601bを形成し、その内側に例えばシリコン窒化膜による側壁絶縁膜107を形成する。

【0119】次いで、図26(b)に示すように、PMOSFET形成領域の表面を覆い、NMOSFET形成領域に開口を有するレジスト膜2602を形成した後、エクステンション領域2112aに導入されている不純物を打ち消すように、逆導電型のイオン注入を行い、ゲート溝2601aに底部に露出するエクステンション領域2112aにp型イオン注入領域2201aを形成する。例えば、チャネル領域がp型半導体になるように、n型エクステンション領域2112aよりも高濃度(>1×10¹⁹cm⁻³)のチャネルイオン注入を行なう。このイオン注入で、トランジスタのしきい値電圧調整も同時に行なう。

【0120】次いで、図26(c)に示すように、レジスト膜2602を除去した後、NMOSFET形成領域の表面を覆い、PMOSFET形成領域に開口を有するレジスト膜2603を形成した後、エクステンション領域2112bに導入されている不純物を打ち消すように、逆導電型のイオン注入を行い、ゲート溝2601bに底部に露出するエクステンション領域2112bにn型イオン注入領域2201bを形成する。例えば、チャネル領域がn型半導体になるように、p型エクステンション領域2112bよりも高濃度(>1×10¹⁹cm⁻³)のチャネルイオン注入を行なう。このイオン注入で、トランジスタのしきい値電圧調整も同時に行なう。

【0121】次いで、図26(d)に示すように、レジスト膜2603を除去した後、イオン注入領域2201a、bに注入されたイオンの活性化を行う熱処理を行い、P型チャネル領域2111a、N型チャネル領域2111bを形成する。

【0122】本発明のトランジスタではソース/ドレイン電極をエクステンション領域2112a、2112bとシリサイドの(ショットキー)接合にて低温で(例えば450℃以下で)形成する(高濃度不純物を用いたDeep接合は形成しない)予定なので、ゲート形成後450℃以上の高温熱処理工程が存在しない。したがって、高誘電率膜や強誘電体膜(Ta_2O_5 膜、 TiO_2 膜、 Si_3N_4 膜、 $(Ba, Sr)TiO_3$ 、 HfO_2 、 ZrO_2 、 La_2O_3 、 Gd_2O_3 、 Y_2O_3 、 CaF_2 、 $CaSnF_2$ 、 CeO_2 、Yttria Stabilized Zirconia、 Al_2O_3 、 $ZrSiO_4$ 、 $HfSiO_4$ 、 Gd_2SiO_5 、 $2La_2O_3 \cdot 3SiO_2$ 、など)をゲート絶縁膜に使用することができ、またゲート電極には金属材料(TiN 、 WN 、 Al 、 W 、 Ru 、 Mo 等)を使用することができる。

【0123】ここでは第9の実施形態と同様に、ゲート絶縁膜材料として Ta_2O_5 膜、メタルゲート材料としてバリアメタル TiN と W の積層構造を用いる。図27(e)に示すように、ゲート溝の内部に、 Ta_2O_5 膜108及び、 TiN 膜と W 膜とが積層されたメタルゲート電極111を形成する。

【0124】その後、図27(f)に示すように、リソグラフィー等によりNMOS側の素子領域に開口を有するレジスト膜2604を形成した後、レジスト膜2202をマスクにNMOSのソース/ドレイン領域の層間絶縁膜104を選択的にエッチング除去してNMOS側ソース及びドレイン溝2605aを形成する。次いで、図27(g)に示すように、NMOS側ソース及びドレイン溝2605a内にメタル材料、例えば Er 膜114を堆積する。次いで、図27(h)に示すように、層間絶縁膜104上の Er 膜114を除去した後、低温で(例えば450℃以下で) Er 膜114とエクステンション領域2112aとのシリサイド反応を起こさせてシリサイドメタル($ErSi_2$)を形成し、ショットキー接合ソース/ドレイン115を形成する。

【0125】その後、図28(i)に示すように、リソグラフィー等により、リソグラフィー等によりPMOS側の素子領域に開口を有するレジスト膜2606を形成した後、レジスト膜2202をマスクにPMOSのソース/ドレイン領域の層間絶縁膜104を選択的にエッチング除去してPMOS側ソース及びドレイン溝2605bを形成する。次いで、図28(j)に示すように、PMOS側ソース及びドレイン溝2605b内にメタル材料、例えば Pt 膜201を堆積する。次いで、図28(k)に示すように、層間絶縁膜104上の Pt 膜を除

去した後、低温で(例えば450℃以下で)シリサイド反応を起こさせてシリサイドメタル($PtSi$)を形成し、ショットキー接合ソース/ドレイン202bを形成する。

【0126】ソースおよびドレイン形成後は通常のLSI製造プロセスと同様である。すなわち、層間絶縁膜TEOSをCVDで堆積し、ソース/ドレインおよびゲート電極上にコンタクトホールを開孔し、上層金属配線(例えば Cu 配線)をデュアルダマシン法にて形成する。これらの断面図は第8の実施形態と同様であるから省略する。

【0127】以上のようにすると、従来のダマシンゲートで必要であった「ダミーゲートの形成および除去」が不要になるため、工程数を大幅に削減できる。またソースおよびドレインのDeep拡散層活性化のための高温熱工程(通常1000℃程度)を行なう必要がないので製造が容易になる。

【0128】さらに、本実施形態ではソース/ドレイン材料として、NMOSとPMOSでそれぞれ異なるメタル材料を用いたため、以下のようなメリットが生じる。すなわち、ショットキー接触(接合)をソースおよびドレインに用いたトランジスタでは、電流駆動能力の低下を避けるために、Nチャネルに対しては小さな、またPチャネルに対しては大きな仕事関数を持つショットキー接触材料が必要である。本実施例では、NMOSに対しては仕事関数の小さなエルビウムシリサイド($ErSi_2$)、PMOSに対しては仕事関数の大きな $PtSi$ を用いることができるので、NMOS、PMOS両方の駆動電流を大きくすることが可能になる。また、ショットキー接触材料を選ぶことにより、NMOS、PMOSそれぞれのしきい値電圧を別々に制御できる。

【0129】(第11の実施形態)図29は、本発明の第11の実施形態に係わるNMOSFETの製造工程を示す工程断面図である。なお、図29では説明するためのゲート長方向の断面を示している。本実施例の特徴は、SOIでなく、バルクシリコン基板を用いている点である。その他は第9の実施形態と同様であるから、製造方法の詳細な説明は省略する。

【0130】本実施例によれば、SOI起因のメリットを除けば第9の実施形態と同様の効果(メリット)が得られる。

【0131】図29(d)では、メタルシリサイドの底面がエクステンション層2101の内部に含まれた構造を示している。このようにすると、接合リークを低減させることができる。

【0132】(第12の実施形態)図30~32は、本発明の第12の実施形態に係わるNMOSFETの製造工程を示す工程断面図である。なお、図30~32では説明するためのゲート長方向の断面を示している。本実施形態では、層間膜TEOSの下に10nm程度のシリ

コン窒化膜と5 nm程度の SiO_2 膜の積層膜を形成している。工程順に説明を行なうと、まず、図30(a)に示すように、Si支持基板2101、BOX酸化膜2102、及びSi半導体層2103が積層された半導体SOI基板を用意する。

【0133】次いで、図30(b)に示すように、STI(Shallow-trench-isolation)技術を用いた素子分離を行なうため、素子分離領域のSi半導体層2103を除去して深さ100 nm程度の溝を形成し、この溝内にTEOS膜を埋め込み形成し、素子分離絶縁膜102を形成する。次に、Si半導体層2103の表面に5 nm程度の熱酸化により SiO_2 膜103を形成する。そして、Si半導体層2103に後でソースおよびドレインとなるエクステンション領域の形成のためのイオン注入を行って、N型のエクステンション領域2112を形成する。例えば、Asを $1 \times 10^{19} \text{ cm}^{-3}$ 程度の濃度となるようにイオン注入する。

【0134】次いで、図30(c)に示すように、その上に酸化膜上に10 nm程度のシリコン窒化膜3001を堆積した後、150 nm程度のTEOS膜104をLPCVD法により堆積する。

【0135】次いで、図30(d)に示すように、電子ビームの直描やリソグラフィによりレジスト膜105を形成し、レジスト膜105をマスクにゲート形成予定領域の層間絶縁膜104をRIE(Reactive-ion-etching)法でエッチングし、ゲート溝106を形成する。このとき、シリコン窒化膜3001が、エッチングストップの役目を果たし、エクステンション領域2112がエッチングされるのを防ぐ。

【0136】次いで、図31(e)に示すように、レジスト膜105を除去した後、ゲート溝106の内側に例えばシリコン窒化膜による側壁絶縁膜107を形成する。そして、ここで先ほど全面に注入したn型のエクステンション領域2112を打ち消すように、逆導電型のイオン(ボロンなど)をイオン注入した後、p型イオン注入領域を活性化し、P型のチャネル領域2111を形成する。このイオン注入で、トランジスタのしきい値電圧調整も同時に行なう次いで、図31(f)、(g)に示すように、チャネル領域2111上の SiO_2 膜103をHFなどで除去した後、ダマシン法を用いて、ゲート溝106内に、 Ta_2O_5 膜108、TiN膜109及びW膜110(メタルゲート電極111)を形成する。

【0137】次いで、図32(h)に示すように、レジスト膜112をマスクにソース/ドレイン溝113を形成する。そして、図32(i)に示すように、レジスト膜112を除去した後、ダマシン法を用いてソース/ドレイン溝113内にEr膜114を形成する。そして、低温で(例えば450℃以下で)Er膜114とエクステンション領域2112aとのシリサイド反応を起こさせてシリサイドメタル(ErSi_2)を形成し、ショッ

トキー接合ソース/ドレイン115を形成する。本実施例によれば、第9の実施例と同様の効果(メリット)が得られる。それ以外にも以下のようなメリットが得られる。すなわち、層間膜TEOSの下に10 nm程度のシリコン窒化膜と5 nm程度の SiO_2 膜の積層膜を形成しているため、ゲート形成予定領域のTEOSをRIE(Reactive-ion-etching)法でエッチングしゲート溝を形成するとき、シリコン窒化膜が、RIEストップの役目を果たし、シリコン基板がエッチングされたり、RIEダメージを受けたりするのを防ぐことができる。従って、MOS界面の特性が著しく改善する。

【0138】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、ゲート絶縁膜の材料が高誘電体膜であり、ゲート電極の材料が金属であったが、ゲート絶縁膜の材料が高誘電体膜で、ゲート電極の材料は金属でなくても良い。また、ゲート電極の材料が金属で、ゲート絶縁膜の材料が高誘電体膜でなくても良い。

【0139】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0140】

【発明の効果】以上説明したように本発明によれば、ダミーゲートを用いずに、ゲートとソース/ドレインとをセルフアラインで形成できるため、大幅な工程数削減効果がある。また、ソース/ドレイン活性化のための高温熱工程をやる必要がなく、製造が容易である。

【0141】また、ショットキー接合によるメタルソースおよびメタルドレインを用いているため、DIBLがおさえられ、短チャネル効果を防止できる。

【図面の簡単な説明】

【図1】第1の実施形態に係わるNMOSFETの構成を示す断面図。

【図2】図1に示したNMOSFETの製造工程を示す工程断面図。

【図3】図1に示したNMOSFETの製造工程を示す工程断面図。

【図4】図1に示したNMOSFETの製造工程を示す工程断面図。

【図5】図1に示したNMOSFETの製造工程を示す工程断面図。

【図6】第2の実施形態に係わるCMOSFETの構成を示す断面図。

【図7】図6に示したCMOSFETの製造工程を示す工程断面図。

【図8】図6に示したCMOSFETの製造工程を示す工程断面図。

【図9】図6に示したCMOSFETの製造工程を示す工程断面図。

【図10】第3の実施形態に係わるNMOSFETの構

成を示す断面図。

【図11】第4の実施形態に係わるNMOSFETの構成を示す断面図。

【図12】図11に示したNMOSFETの製造工程を示す工程断面図。

【図13】第5の実施形態に係わるNMOSFETの製造工程を示す工程断面図。

【図14】第5の実施形態に係わるNMOSFETの製造工程を示す工程断面図。

【図15】第6の実施形態に係わるNMOSFETの製造工程を示す工程断面図。

【図16】第7の実施形態に係わるNMOSFETの製造工程を示す工程断面図。

【図17】第7の実施形態に係わるNMOSFETの製造工程を示す工程断面図。

【図18】第8の実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図19】第8の実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図20】第8の実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図21】第9の実施形態に係わるNMISFETの構成を示す断面図。

【図22】図21に示したNMISFETの製造工程を示す工程断面図。

【図23】図21に示したNMISFETの製造工程を示す工程断面図。

【図24】図21に示したNMISFETの製造工程を示す工程断面図。

【図25】図21に示したNMISFETの製造工程を示す工程断面図。

【図26】第10の実施形態に係わるCMOSFETの

製造工程を示す工程断面図。

【図27】第10の実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図28】第10の実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図29】第11の実施形態に係わるNMOSFETの製造工程を示す工程断面図。

【図30】第12の実施形態に係わるNMOSFETの製造工程を示す工程断面図。

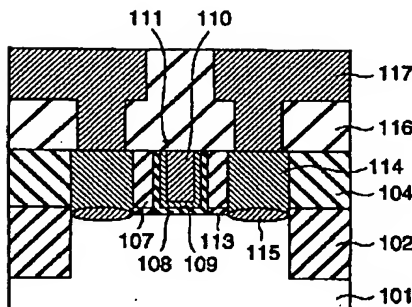
【図31】第12の実施形態に係わるNMOSFETの製造工程を示す工程断面図。

【図32】第12の実施形態に係わるNMOSFETの製造工程を示す工程断面図。

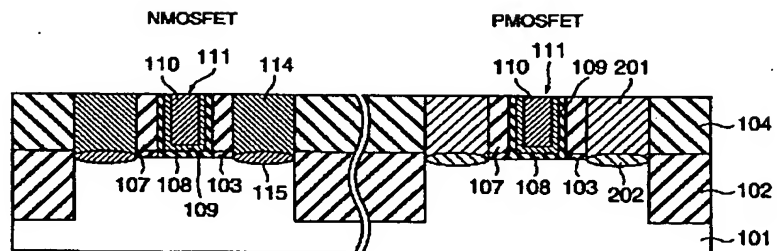
【符号の説明】

- 101…シリコン基板
- 102…素子分離絶縁膜
- 103… SiO_2 膜
- 104…層間絶縁膜
- 105…レジスト膜
- 106…ゲート溝
- 107…側壁絶縁膜
- 108… Ta_2O_5 膜
- 109…バリアメタルTiN膜
- 110…Al膜
- 111…メタルゲート電極
- 112…レジスト膜
- 113…ソース/ドレイン溝
- 114…ソース/ドレイン電極
- 115…ショットキー接合・ソース/ドレイン
- 116…層間絶縁膜
- 117…Al配線

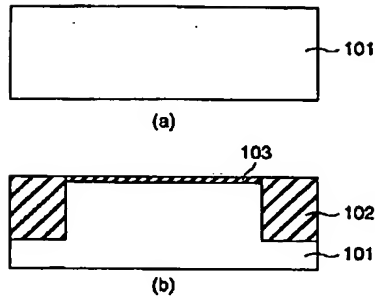
【図1】



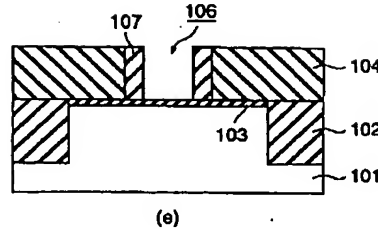
【図6】



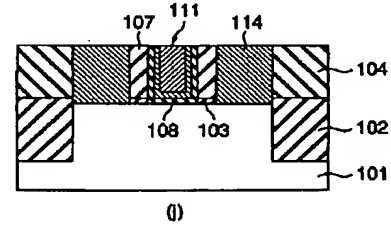
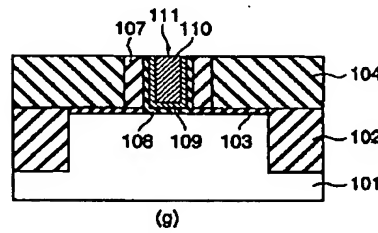
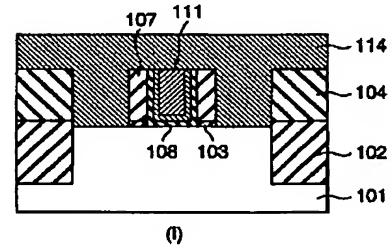
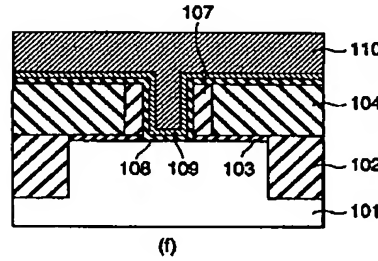
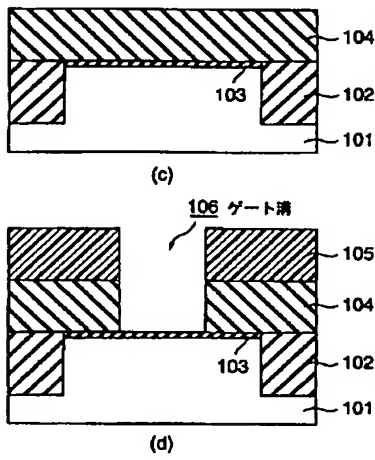
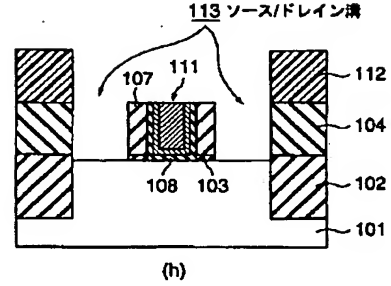
【図2】



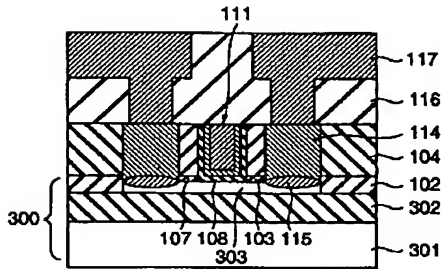
【図3】



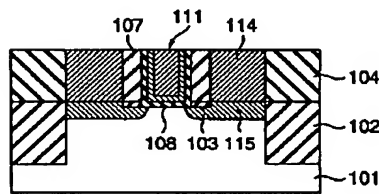
【図4】



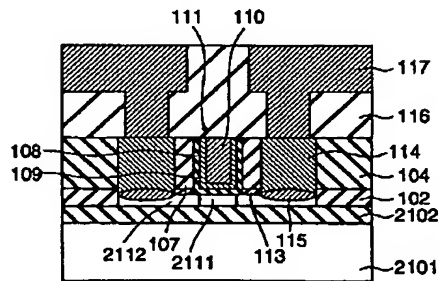
【図10】



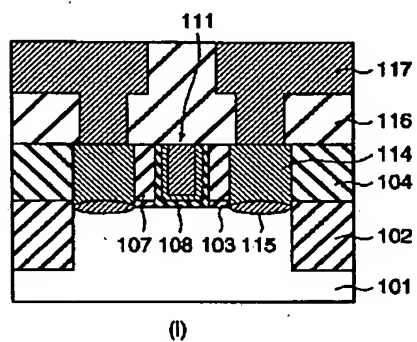
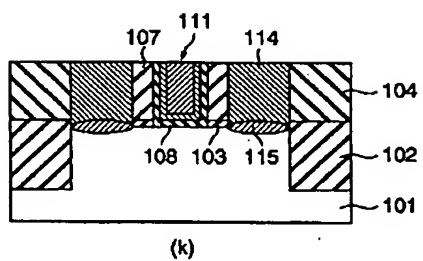
【図11】



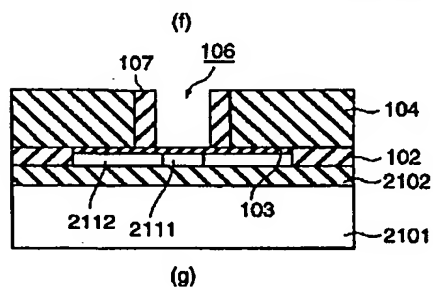
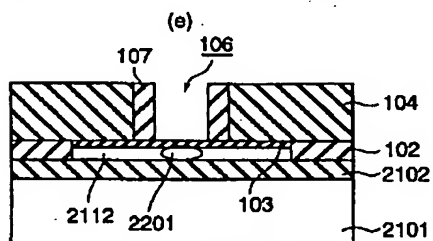
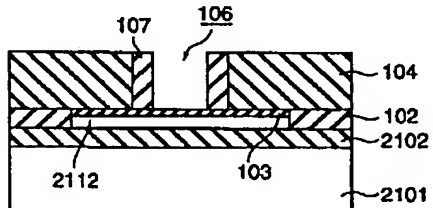
【図21】



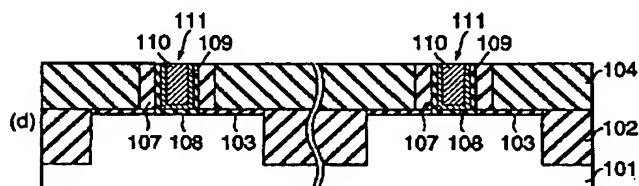
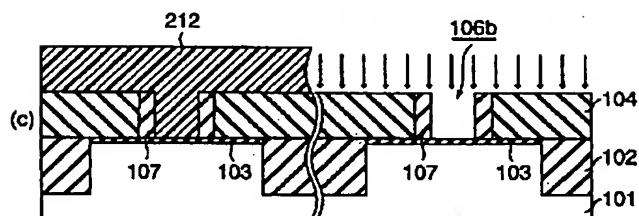
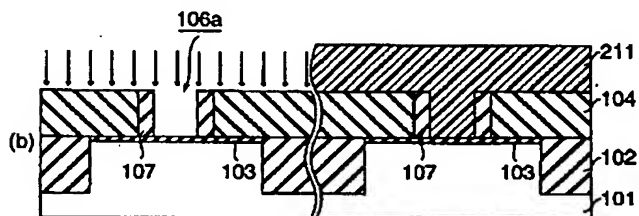
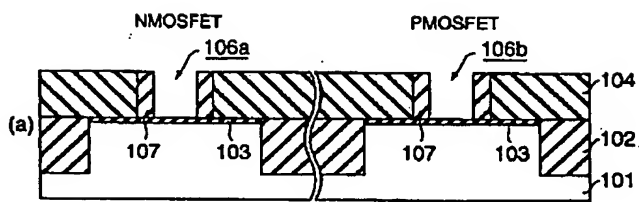
【図 5】



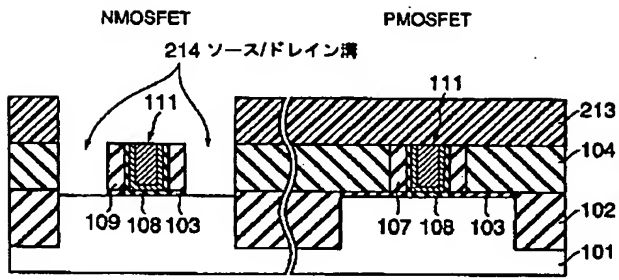
【図 2 3】



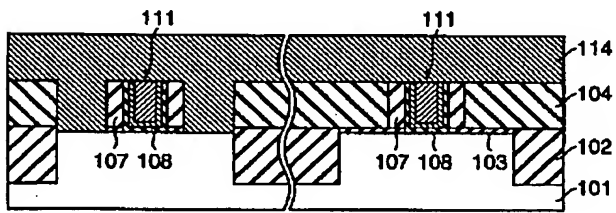
【図 7】



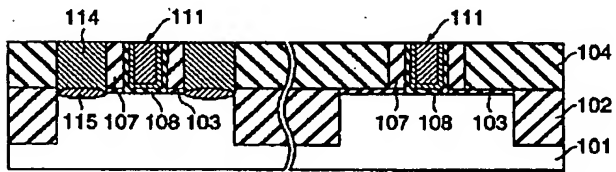
【図8】



(e)

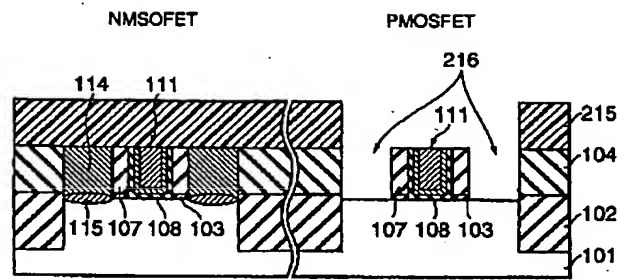


(f)

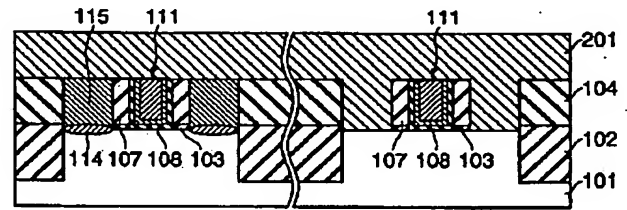


(g)

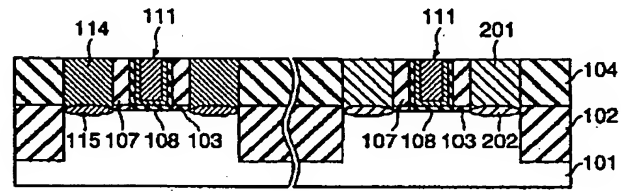
【図9】



(h)

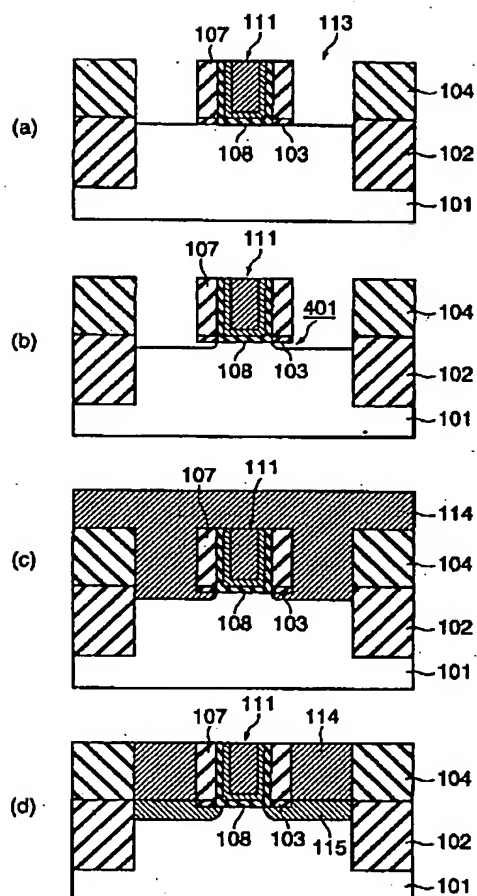


(i)

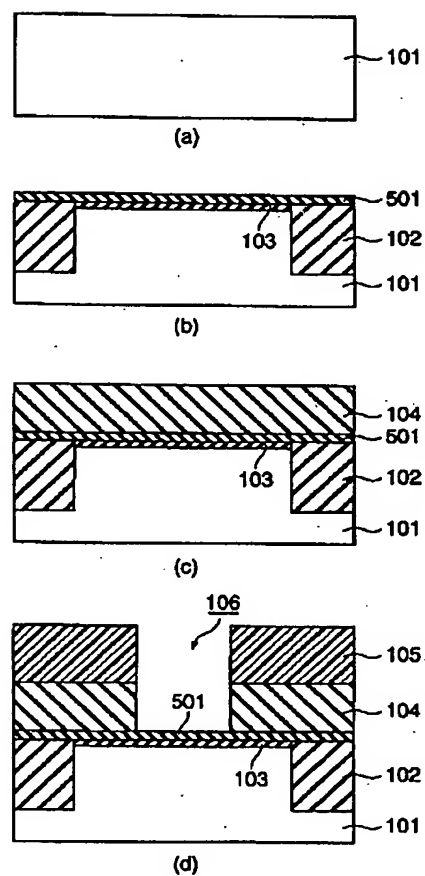


(j)

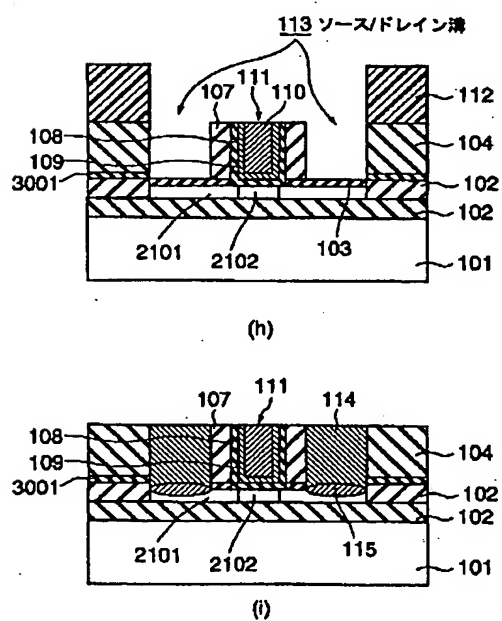
【図12】



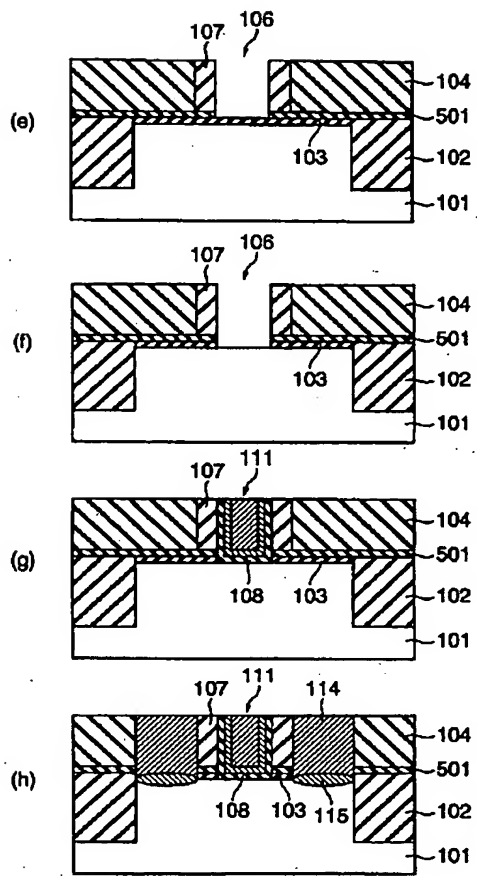
【図13】



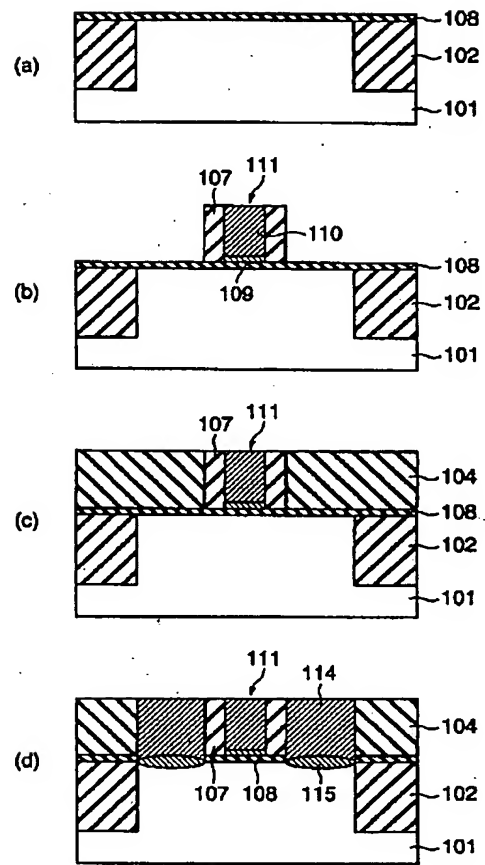
【図32】



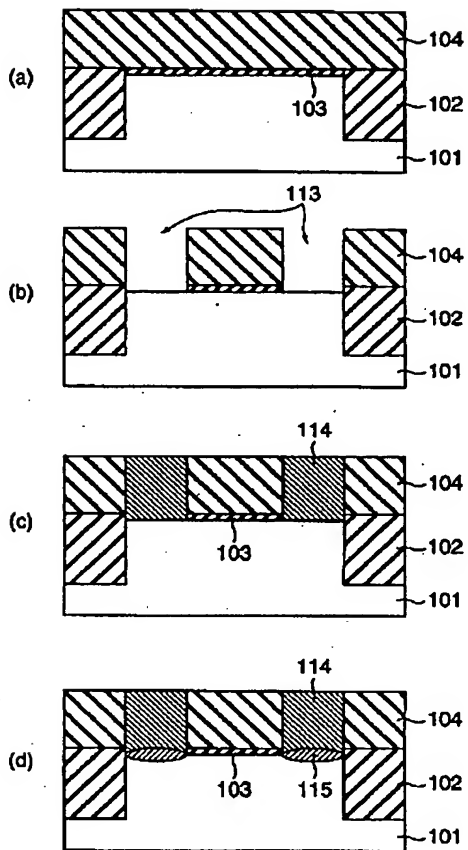
【図 14】



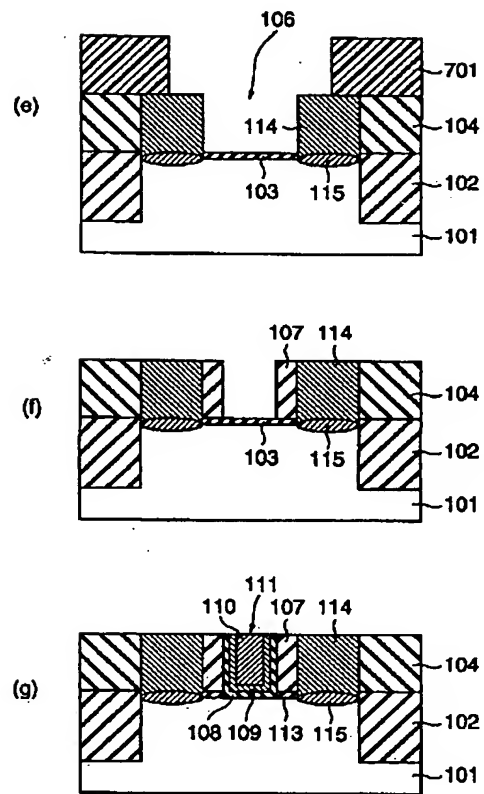
【図 15】



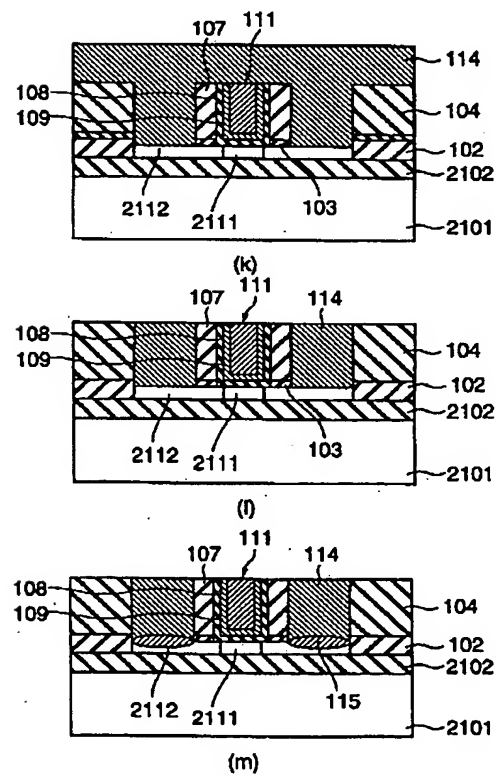
【図 16】



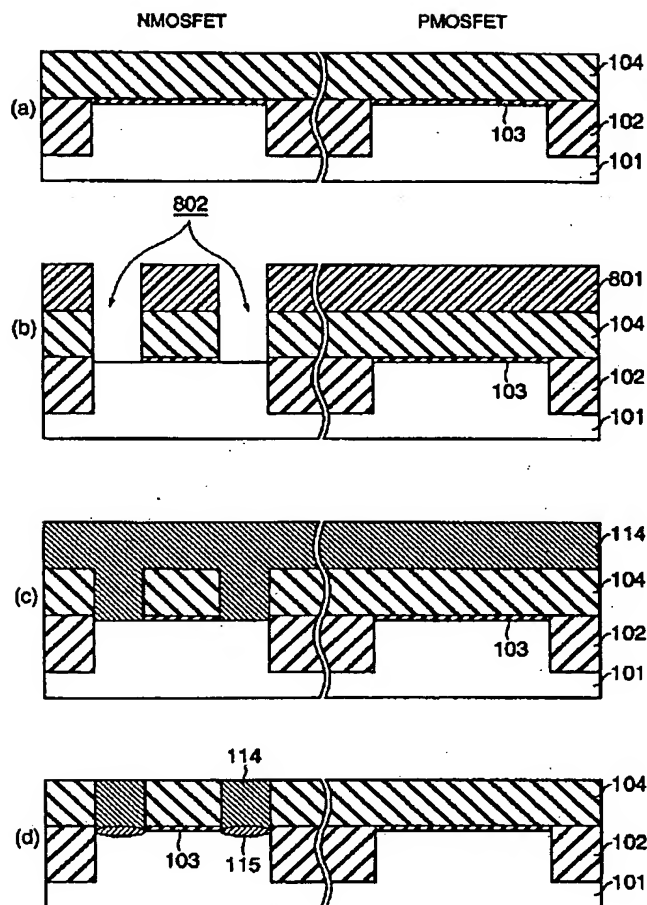
【図 17】



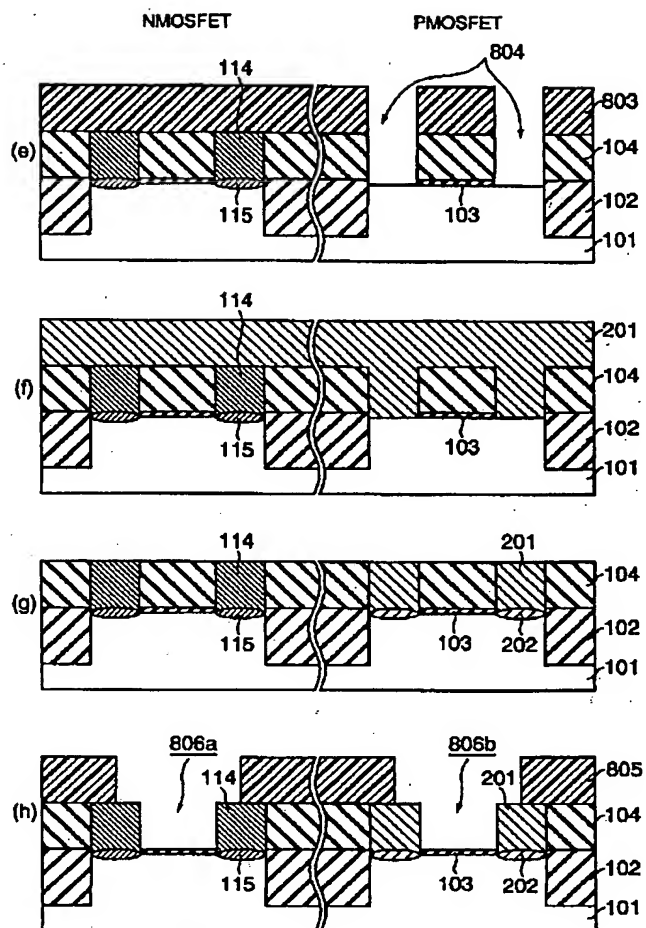
【図 25】



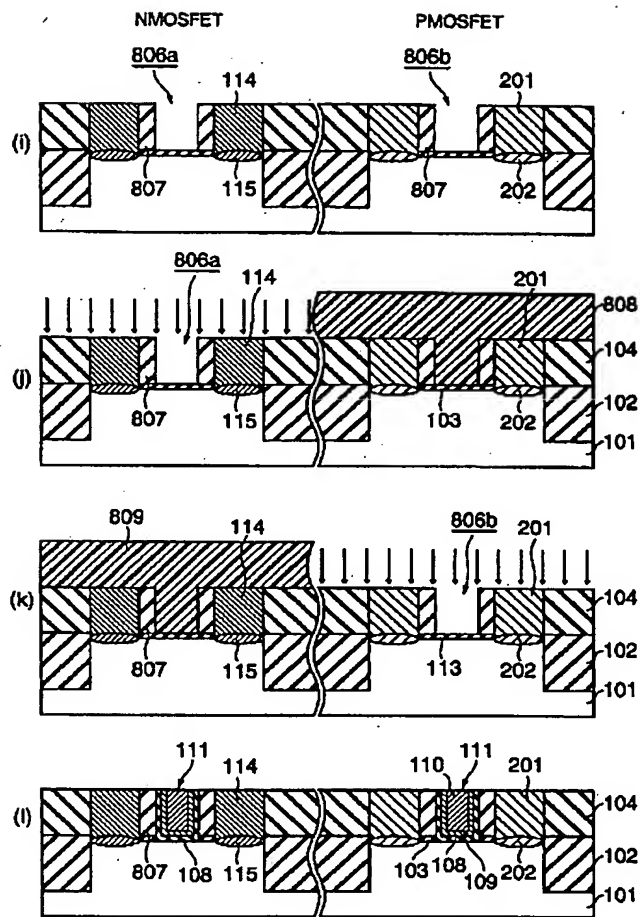
【図 18】



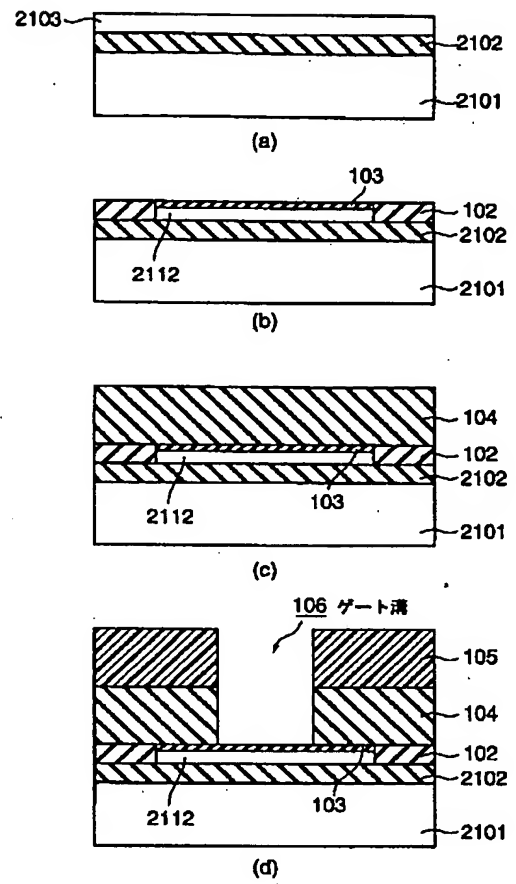
【図 19】



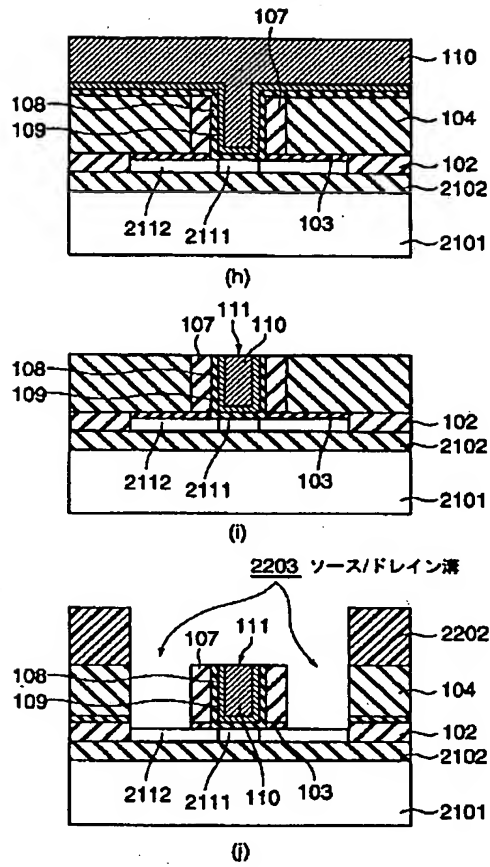
【図20】



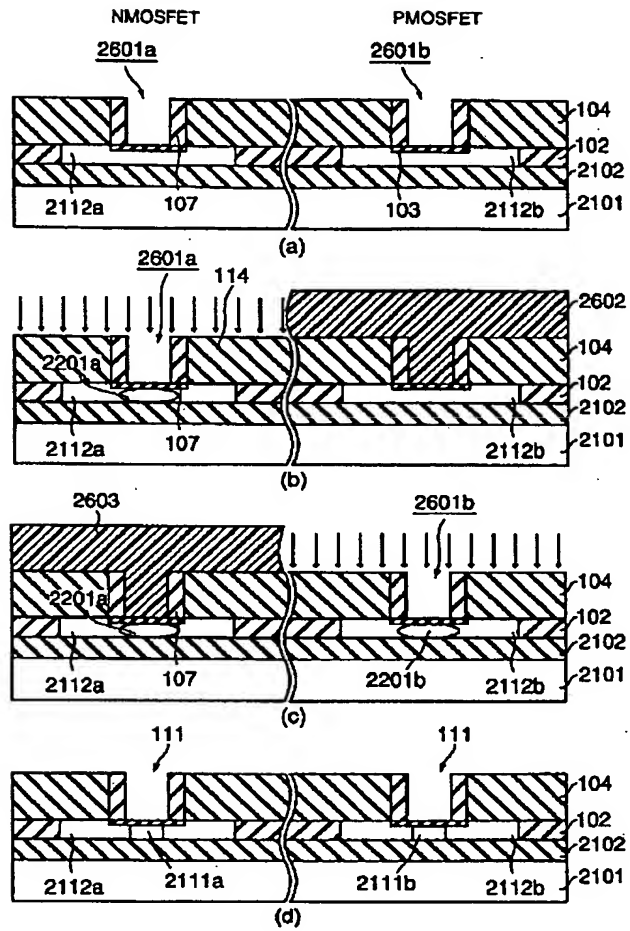
【図22】



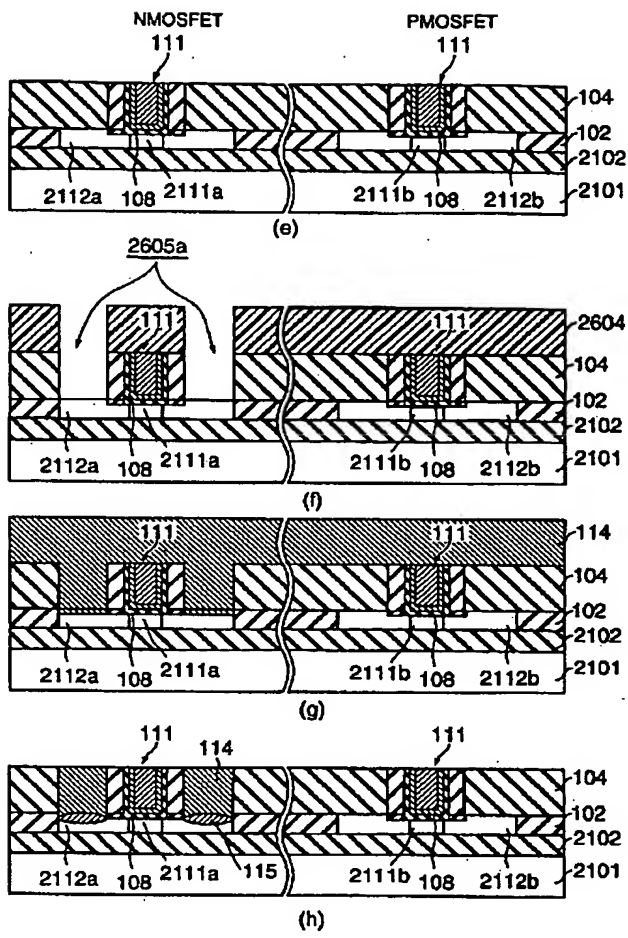
【図24】



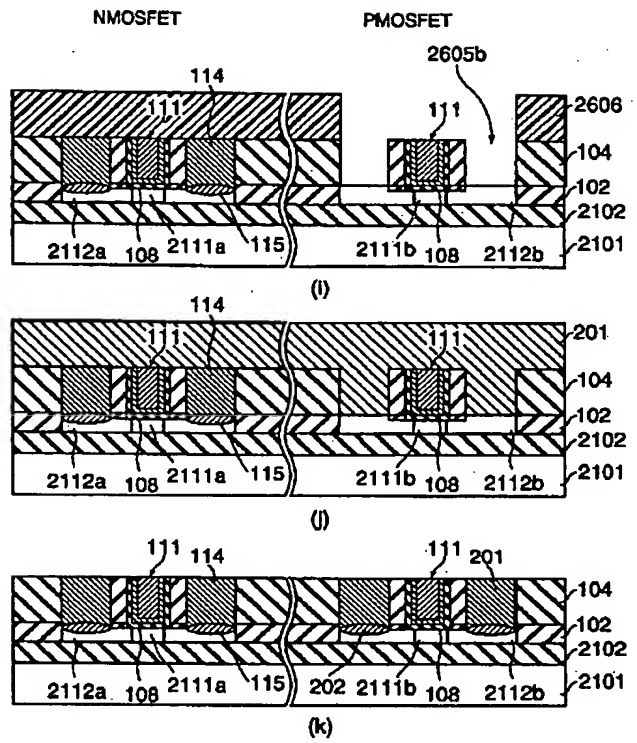
【図26】



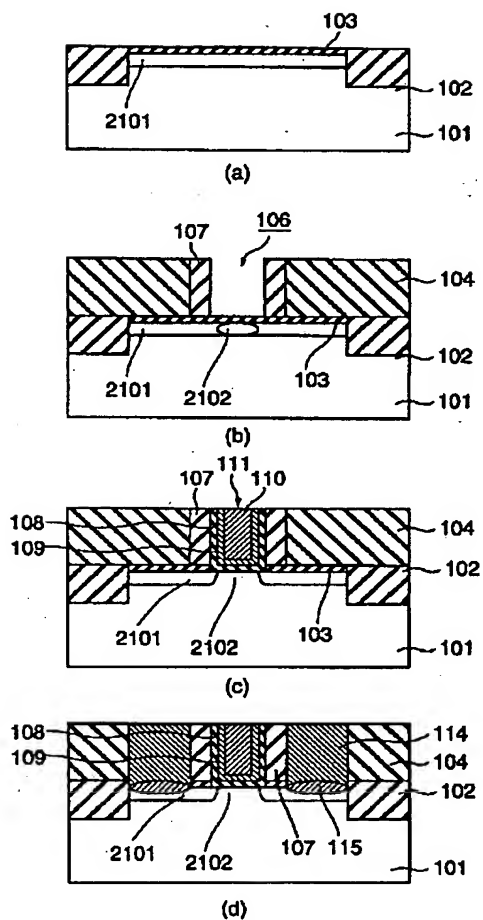
【図 27】



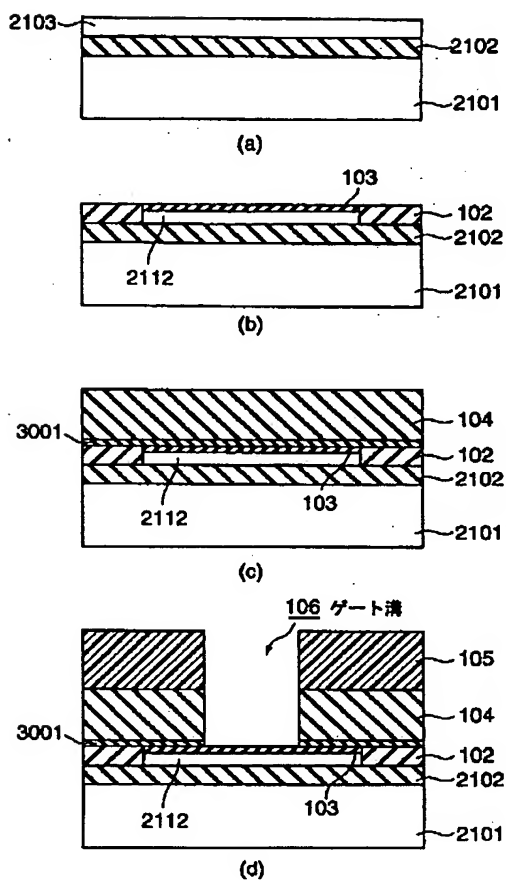
【図 28】



【図 29】



【図 30】



Fターム(参考) 4M104 AA01 AA09 BB02 BB04 BB18
BB19 BB22 BB30 BB33 CC03
CC05 DD37 DD43 DD84 EE03
EE14 EE16 EE17 FF18 GG09
GG10 GG14
5F048 AA07 AC03 AC10 BA16 BB09
BB10 BB11 BB12 BB13 BB15
BC05 BC18 BF01 BF06 BF11
BF15 BF16 BG07 BG13 DA00
DA25 DA27
5F110 AA16 AA18 AA30 BB04 CC01
DD05 DD13 EE01 EE02 EE03
EE04 EE14 EE22 EE32 EE44
EE45 FF01 FF03 FF04 FF09
FF26 FF29 GG02 GG12 GG32
GG52 HJ01 HJ04 HJ23 HK02
HK05 HK21 HK40 HL02 HL05
HL21 HL27 HM15 NN03 NN04
NN23 NN35 NN62 NN65 QQ03
QQ11 QQ19
5F140 AA21 AB03 AC12 AC36 BA01
BC06 BD01 BD04 BD07 BD09
BD11 BD12 BD13 BE03 BE08
BE10 BF10 BF11 BF15 BF17
BG05 BG08 BG14 BG28 BG30
BG36 BG40 BG51 BG53 BH07
BH14 BH27 BH49 BJ08 BJ11
BJ15 BJ27 BJ30 BK01 BK09
BK24 BK26 BK34 CA03 CB04
CC03 CC12 CC15 CE07